

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing: 28 December 2000 (28.12.00)	
International application No.: PCT/JP00/03723	Applicant's or agent's file reference: NT00PCT008
International filing date: 08 June 2000 (08.06.00)	Priority date: 17 June 1999 (17.06.99)
Applicant: MATSUOKA, Hideyuki et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:
08 June 2000 (08.06.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---

THIS PAGE BLANK (USPTO)

Translation

TENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference NT00PCT008	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/03723	International filing date (day/month/year) 08 June 2000 (08.06.00)	Priority date (day/month/year) 17 June 1999 (17.06.99)
International Patent Classification (IPC) or national classification and IPC H01L 27/10		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet. <input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of <u>2</u> sheets.
3. This report contains indications relating to the following items: I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 08 June 2000 (08.06.00)	Date of completion of this report 06 March 2001 (06.03.2001)
Name and mailing address of the IPEA/JP Facsimile No.	Authorized officer Telephone No.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03723

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-37 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 2-29,31 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1,30,32 _____, filed with the letter of _____ 15 November 2000 (15.11.2000)
- ☒ the drawings:
pages _____ 1/26-26/26 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03723

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	1-32	YES
	Claims		NO
Inventive step (IS)	Claims	1-32	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-32	YES
	Claims		NO

2. Citations and explanations

The subject matter of claims 1, 4~13, 17~28, and 30 concerning a plurality of multilayer films that include conductor layers, insulator layers, and impurity layers of different conductive types is not described in any of the documents cited in the ISR and appears to be non-obvious to a person skilled in the art.

The subject matter of claims 2 and 29 concerning having a bias table characteristic is not described in any of the documents cited in the ISR and appears to be non-obvious to a person skilled in the art.

The subject matter of claims 3 and 14~16 concerning having multilayer films of a plurality of semiconductor layers that include dopants present in a semiconductor substrate is not described in any of the documents cited in the ISR and appears to be non-obvious to a person skilled in the art.

The subject matter of claim 31 concerning a process for memory cell array region wherein a memory cell array is divided into cells by etching a silicon substrate at a region covering a word electrode as a region corresponding to at least a mask is not described in any of the documents cited in the ISR and appears to be non-obvious to a person skilled in the art.

The subject matter of claim 32 concerning having a characteristic whereby current that flows when potential is applied to an insulator layer that enables carrier movement via multilayer films exhibits hysteresis with respect to applied voltage is not described in any of the documents cited in the ISR and appears to be non-obvious to a person skilled in the art.

THIS PAGE BLANK (USPTO)



PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OGAWA, Katsuo
Nitto International Patent Office
Yusenkyabacho Building
9-8, Nihonbashi-kayabacho 2-chome
Chuo-ku
Tokyo 103-0025
JAPON

Date of mailing (day/month/year)

28 December 2000 (28.12.00)

Applicant's or agent's file reference

NT00PCT008

IMPORTANT NOTICE

International application No.

PCT/JP00/03723

International filing date (day/month/year)

08 June 2000 (08.06.00)

Priority date (day/month/year)

17 June 1999 (17.06.99)

Applicant

HITACHI, LTD. et al

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP,JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on

28 December 2000 (28.12.00) under No. WO 00/79597

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

J. Zahra

Facsimile No. (41-22) 740.14.35

Telephone No. (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 16 MAR 2001

WIPO

PCT

出願人又は代理人 の書類記号 NT00PCT008	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JPO0/03723	国際出願日 (日.月.年) 08.06.00	優先日 (日.月.年) 17.06.99
国際特許分類 (IPC) Int. Cl ¹ H01L27/10		
出願人 (氏名又は名称) 株式会社 日立製作所		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 2 ページである。
- この国際予備審査報告は、次の内容を含む。
 - ☒ 国際予備審査報告の基礎
 - ☐ 優先権
 - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 発明の単一性の欠如
 - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ ある種の引用文献
 - ☐ 国際出願の不備
 - ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 08.06.00	国際予備審査報告を作成した日 06.03.01	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 正山 旭 電話番号 03-3581-1101 内線 3462	4M 9276

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-37 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-29, 31 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 30, 32 項、 15.11.00 付の書簡と共に提出されたもの

☒ 図面 第 1/26-26/26 ページ/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-32	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-32	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-32	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

請求の範囲1、4～13、17～28、30に記載された発明については、導電体層・絶縁体層及び異なる導電型となる不純物層を含む複数の積層膜に関して、国際調査報告に列記したいずれの文献にも記載されておらず、当業者にとっても自明のものとは認められない。

請求の範囲2、29に記載された発明については、バイステابل特性を有することに関して国際調査報告に列記したいずれの文献にも記載されておらず、当業者にとっても自明のものとは認められない。

請求の範囲3、14～16に記載された発明については、不純物を含む複数の半導体層の積層膜が半導体基体内に存在することが、国際調査報告に列記した、いずれの文献にも記載されておらず、当業者にとっても自明のものとは認められない。

請求の範囲31に記載された発明については、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板をエッチングすることによりメモリセルアレーをセル毎に分離する工程が、国際調査報告に列記した、いずれの文献にも記載されておらず、当業者にとっても自明のものとは認められない。

請求の範囲32に記載された発明については、積層膜を介してキャリアの移動を可能とする絶縁体層に電位を印可したときに流れる電流は印可電圧に対してヒステリシス特性を有することに関して、国際調査報告に列記した、いずれも文献にも記載されておらず、当業者にとっても自明のものとは認められない。

THIS PAGE BLANK (USPTO)

請 求 の 範 囲

1. (補正後) 半導体基体に、複数のメモリセルと、前記メモリセルを選択するワード線及びデータ線とを有するメモリセルアレー部、及び
5 周辺回路を有し、前記メモリセルが導電体層と絶縁体層、および異なる導電型となる不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置。
2. 半導体基体に、複数のメモリセルと、前記メモリセルを選択する
10 ワード線及びデータ線とを有するメモリセルアレー部、及び周辺回路を有し、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置。
3. 半導体基体に、複数のメモリセルと、前記メモリセルを選択する
15 ワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に複数の絶縁ゲート型電界効果型トランジスタ (M I S F E T) を有して構成された周辺回路が配置され、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が
20 前記半導体基体内に存在することを特徴とする半導体記憶装置。
4. 前記メモリセルが有する不純物を含む複数の半導体層は、P型とN型の導電型の異なる2つの半導体層を有することを特徴とする請求項1に記載の半導体記憶装置。
5. 前記メモリセルが有するP型とN型の導電型の異なる2つの半導
25 体層により形成される、接合の位置が、半導体基体に形成された素子分離領域の深さよりも浅いことを特徴とする請求項4に記載の半導体

THIS PAGE BLANK (USPTO)

スアンプを共用していることを特徴とする請求項 1 に記載の半導体記憶装置。

29. バイステابلダイオードが半導体基板内に含まれる領域を有して構成されたことを特徴とする半導体装置。

- 5 30. (補正後) 半導体基板内に、少なくともメモリ素子部の一部が形成され、且つ記憶容量が 256 メガ・ビット以上であることを特徴とする請求項 1 に記載の半導体記憶装置。

31. 半導体基体に、素子を電氣的に分離するための素子分離領域を形成する工程、メモリセルアレー領域において、高エネルギーイオン

- 10 打ち込みにより、基板内部に不純物拡散層を形成した後に、基板表面に絶縁膜を形成する工程、メモリセルアレー領域においてはワード電極を、周辺回路領域においては絶縁ゲート型電界効果型トランジスタのゲート電極を形成する工程、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板
- 15 をエッチングすることにより、メモリアレーをセル毎に分離する工程、層間絶縁膜を堆積した後、コンタクトホールを開口し、前記コンタクト内部へ導電体を埋込む工程、メモリセルアレー領域においてはビット線を、周辺回路領域においてはローカル配線層を形成する工程を、有することを特徴とする半導体記憶装置の製造方法。

- 20 32. (追加) 半導体基体に、複数のメモリセルと、前記メモリセルを選択するワード線及びデータ線とを有するメモリセルアレー部、及び周辺回路を有し、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位を印加したときに流れる電流
- 25 は印加電圧に対してヒステリシス特性を有することを特徴とする半導体記憶装置。

THIS PAGE BLANK (USPTO)

国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18条、PCT 規則43、44〕

出願人又は代理人 の書類記号 NT00PCT008	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。		
国際出願番号 PCT/JP00/03723	国際出願日 (日.月.年) 08.06.00	優先日 (日.月.年) 17.06.99	
出願人(氏名又は名称) 株式会社日立製作所			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT 18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT 規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 19 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2000年
日本国実用新案登録公報 1996-2000年
日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-125939, A, (松下電器産業株式会社), 1 5. 5月. 1998, (15. 05. 98), 第1図~第17図 (ファミリーなし)	1, 2, 4, 17, 21, 27-30
X	JP, 11-17184, A, (松下電器産業株式会社), 22. 1月. 1999, (22. 01. 99), 第1図~第15図 (ファミリーなし)	1, 2, 4, 21, 27- 30

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05. 09. 00

国際調査報告の発送日 19.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

電話番号 03-3581-1101 内線 3462

THIS PAGE BLANK (USPTO)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 4 8 3 4 8 2, A, (Kabushiki Kaisha Toshiba), 9. 1月. 1996, (09. 01. 96), 第1図~第25図 & JP, 4-348068, A & KR, 9616104, B & DE, 4208694, A	1-31
A	US, 5 6 6 5 9 7 8, A, (Matsushita Electric Industrial Co.), 9. 9月. 1997, (09. 09. 97), 第1図~第19図 & JP, 9-45941, A & EP, 744777, A	1-31

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03723

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-125939, A (Matsushita Electric Ind. Co., Ltd.), 15 May, 1998 (15.05.98), Figs. 1 to 17 (Family: none)	1, 2, 4, 17, 21, 27-30
X	JP, 11-17184, A (Matsushita Electric Ind. Co., Ltd.), 22 January, 1999 (22.01.99), Figs. 1 to 15 (Family: none)	1, 2, 4, 21, 27-30
A	US, 5483482, A (Kabushiki Kaisha Toshiba), 09 January, 1996 (09.01.96), Figs. 1 to 25 & JP, 4-348068, A & KR, 9616104, B & DE, 4208694, A	1-31
A	US, 5665978, A (Matsushita Electric Industrial Co.), 09 September, 1997 (09.09.97), Figs. 1 to 19 & JP, 9-45941, A & EP, 744777, A	1-31

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2000 (05.09.00)

Date of mailing of the international search report
19 September, 2000 (19.09.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年12 月28 日 (28.12.2000)

PCT

(10) 国際公開番号
WO 00/79597 A1

(51) 国際特許分類⁷: H01L 27/10

(21) 国際出願番号: PCT/JP00/03723

(22) 国際出願日: 2000 年6 月8 日 (08.06.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願平11/171557 1999年6月17日 (17.06.1999) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松岡秀行 (MATSUOKA, Hideyuki) [JP/JP]. 阪田 健 (SAKATA, Takeshi) [JP/JP]. 木村紳一郎 (KIMURA, Shinichiro)

[JP/JP]. 山中俊明 (YAMANAKA, Toshiaki) [JP/JP]. 可知 剛 (KACHI, Tsuyoshi) [JP/JP]. 関口知紀 (SEKIGUCHI, Tomonori) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

(74) 代理人: 弁理士 小川勝男 (OGAWA, Katsuo); 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

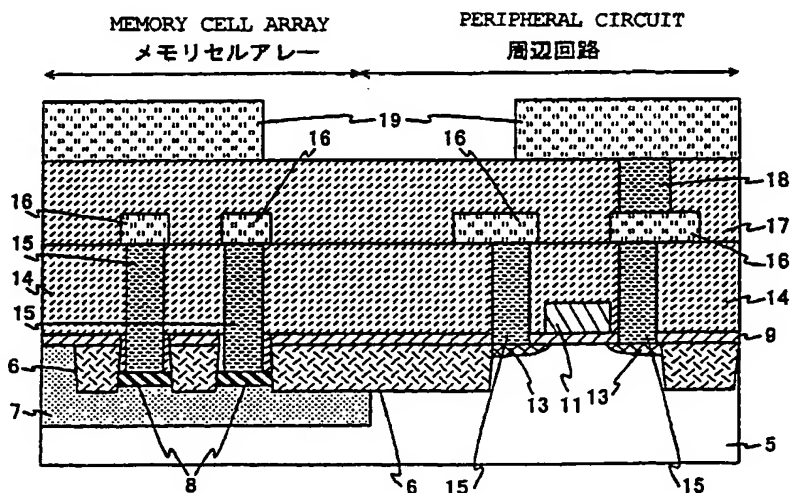
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

(54) 発明の名称: 半導体記憶装置及びその製造方法



(57) Abstract: Each memory cell of a conventional DRAM comprises a transistor serving as a switch and a capacitor in which charge for information is stored. The height of such a capacitor has been continuously increasing along with the miniaturization, and this leads directly to the manufacturing cost increase. A semiconductor memory device of this invention is characterized in that a memory cell array part including memory cells and word and data lines for selecting a memory cell and a peripheral circuit along the periphery of the memory cell array part are provided on a semiconductor substrate, each memory cell has a multilayer film of a conductor layer, an insulator layer, and doped semiconductor layers, and a potential can be applied to the insulator layer capable of bringing about the tunnel effect. The memory cell can be manufactured with simple processes, and requires no capacitor.

[続葉有]

WO 00/79597 A1



(57) 要約:

従来のDRAMのメモリセルは、スイッチとしてのトランジスタと情報電荷を蓄積するキャパシタから構成されており、微細化と共にキャパシタの高さは増大の一途をたどっている。これが製造コスト増大に直接結びく結果となっている。本願の基本構成は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に周辺回路が配置、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記トンネル効果を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置である。本願発明は簡易な工程で形成可能な、キャパシタの不要なメモリセルである。

明 細 書

半導体記憶装置及びその製造方法

5 技術分野

本願発明は、半導体記憶装置及びその製造方法に関するものである。

背景技術

これまで、3年に4倍のペースで集積化の向上を実現してきたダイ
10 ナミックランダムアクセスメモリ(DRAM: Dynamic Random
Access Memory)は、近年のパーソナルコンピュ
ータの爆発的な売上に牽引されて、その需要はますます高まりつつあ
る。既に、16メガビットの量産はピークを過ぎ、現在は、次世代の微
細加工技術である0.2 μ mさらにそれ以下の寸法を使用する64メ
15 ガビットの量産化に向けた開発が進行している。

16Kbから現在まで製品化されているDRAMのメモリセルは、
図1に示すように、スイッチとしてのトランジスタ50と情報電荷を
蓄積するキャパシタ51から構成されている。このようなメモリセル
は、1トランジスタセルと呼ばれている。このメモリセルにおいては、
20 データ線BLに読み出される信号電圧は、キャパシタ51の容量Cs
とデータ線BLの寄生容量Cdの比で決まる。またセルの情報電圧は、
情報を読み出すことによりデータ線の電圧に充電されるので破壊読み
だしである。従って、このタイプのメモリセルではデータの再書き込
みというリフレッシュ動作が必要である。尚、図中WLはワード線で
25 ある。

このメモリセルにおける最大の課題は、メモリセルの信号電圧とソフ

トエラーに対する耐性という2つの観点から、必要十分なキャパシタ容量 C_s を確保することである。この課題を解決すべく、メモリセルは立体構造となり、必要十分な蓄積容量を確保するために、微細化と共にキャパシタの高さは増大の一途をたどってきた。こうしたメモリセルの例を図2に示す。図2にはメモリアレー部60と周辺回路部61の一部の断面が示されている。前述のように、メモリセルのキャパシタ63はその容量を確保するため、高さが高くなる。図2の例では、スイッチ用トランジスタ部50を設けた半導体基体77の上にキャパシタ63が搭載されている。このキャパシタは下部電極73、絶縁膜74、上部電極75を有するが、半導体基板の上にキャパシタが搭載されるので、キャパシタが所望の容量を確保する為には、その高さが高くならざるを得ない。このようなメモリセルの例は、例えば、1999年のIEDM、pp45-48の図1などに見られる。

しかし、キャパシタの高さの増大は、メモリアレー部60と周辺回路部61の間に高段差を生む。このことは、リソグラフィをはじめとするプロセスに対する各種設計上のマージンを著しく低下させる。それが製造コスト増大に直接結びつく結果となっている。256Mビット以降のDRAMでは、この問題は益々深刻になることが必須である。こうした背景から、従来の1トランジスタセルに代わる、キャパシタの不要なメモリセルへの期待は高い。以上のように、記憶容量が256Mビット以降のDRAMでは、従来の1トランジスタセルはその増大するキャパシタの高さ故の物理的な理由によって、実現はかなりの困難が予想される。

又、マルチステーブルの電流状態を用いた素子をメモリセルに用いた例の報告もにられるが、実用にいたっていないのが現状である。こうした例は、例えば、アメリカ特許第5、745、407号、及び第

5、535、156号などである。

本願発明は、こうした現在の背景を根本的に転換を図ろうとするものである。

5 発明の開示

本願発明は、こうした問題を解決すべく、従来の1トランジスタセルに代わり、キャパシタの不要なバイステイブルダイオード(b i s s t a b l e d i o d e)をメモリセルの構成要素として用いた、半導体記憶装置及びその製造方法を提案するものである。

- 10 本願発明によれば、半導体記憶装置におけるセル面積が極めて小さく高集積化可能である。更に、本願発明によれば、リフレッシュが不要なロジックとの混載に好適な半導体記憶装置及びその製造方法を提供することが出来る。より具体的には、本願発明は、メモリセル面積が極めて小さく高集積化可能なランダムアクセスメモリ(RAM)を
- 15 提供することが出来る。

まず、理解を容易ならしめる為、本願発明の基本思想を図面を用いて説明する。

本願発明に用い得るバイステイブルダイオードは、少なくとも高抵抗状態と、低抵抗状態とを有する負性抵抗素子である。

- 20 本願発明に用い得るバイステイブルダイオードの代表例の具体的構造は、図3Aのような基本構造を有している。即ち、その基本構造は、導電体層(1)/絶縁膜層(2)/n型半導体層(3)/P型半導体層(4)の積層構造を有している。尚、n型半導体(3)とP型半導体(4)の積層順番が入れ替わったものに対しても、極性が逆になるだけ
- 25 けで、ほぼ同じ議論が適用できる。尚、前記n型半導体層(3)及びP型半導体層(4)の代表的な例は、各々n型シリコン層及びP型シ

リコン層である。従って、以下、前記n型半導体層（3）及びP型半導体層（4）は、各々シリコン層をもって説明する。又、前記絶縁膜層は複数の絶縁膜で構成することも出来る。この例は後述される。

さて、図3の（a）に示した構造において、P型シリコン4に正の
5 バイアスを印加していく。初期には、絶縁膜層（2）／n型シリコン層（3）界面において、n型シリコンのバンドが曲げられる。しかし、この場合、それらの界面に正孔が蓄積されない為、半導体結晶の表面は空乏層5が形成される。図3の（b）はこの状態を示したバンド構造図である。図3の（b）の状態は所謂ディープ・ディプレッション
10 状態を示している。この結果、印加電圧の大半が、絶縁体（2）／n型シリコン（3）界面に形成される表面空乏層に印加される。従って、絶縁膜（2）にかかる電圧が弱いために、前記絶縁膜を介してキャリアの移動、例えばトンネル効果が阻止される。この結果、このメモリセルは高抵抗状態となる。尚、図3の（b）における各層の符号は図
15 3の（a）の構造に対応している。図中には小さなトンネル電流6を矢印で示した。又、絶縁膜層（2）、いわゆるトンネル膜への印加電圧の状態を符号9で示した。以下、前記絶縁膜を介してのキャリアの移動は、いわゆるトンネル効果による移動をもって説明する。

さらに、P型シリコンに印加する電圧を増大させると、基板内部に
20 形成されたPN接合7からの正孔電流が増大し、絶縁体（2）／n型シリコン（3）界面に反転層8が形成される。この為、印加電圧の大部分が絶縁膜（2）にかかることになる。この結果、導電体（1）からの電子のトンネルが可能になり、導電体（1）から注入された電子が、n型シリコン層（3）のドナーを中和するので、正孔注入のバリア
25 アがさらに低下し、電流はさらに増大する。こうして、メモリセルの低抵抗状態が実現される。

図3Cにこの状態のバンド構造図を示す。尚、図3の(c)における各層の符号は図3の(a)の構造に対応している。図には大きなトンネル電流6を太い矢印で示した。

以上の結果、この素子はバイステーブル状態を示す。従って、図3
5 に例示した素子に負荷抵抗を直列に接続すれば、図4に示したように2つの安定点が存在する。従って、このような構成で、メモリ素子となすことが出来る。図4は図3に例示した素子に負荷抵抗を直列に接続した場合の動作特性を模式的に示す図である。図4の横軸は電圧、縦軸は電流を示す。単位はいずれも任意単位である。図4には、前述
10 の高抵抗状態および低抵抗状態の特性が示され、更に、抵抗を接続した場合の負荷直線が示される。そして、図4に、前述の2つの安定点が“H”および“L”として示される。

図5はバイステーブルダイオードを用いたメモリセルアレーの構成例である。図5に示したように、ワード線WL1、WL2とビット線
15 BL1、BL2のクロスした部分に、メモリセル100を配置することが可能である。メモリセル100は前述の通り、導電体層、絶縁膜層、n型シリコン層およびp型シリコン層を有して構成される。符号101はダイオードの負荷抵抗である。尚、この負荷抵抗101は半導体装置の構成上、具体的には、いわゆる寄生抵抗によって設計され
20 ることもある。従って、本願明細書における、前記負荷抵抗101はこうして設けた抵抗をも含むものであることは言うまでもない。

後の実施例において詳細に述べるが、本願発明によれば、原理的に最小面積のメモリセルを実現できる。即ち、通例、半導体記憶装置では、メモリセルをマトリクス状に配置する。そして、本願発明に用い
25 るメモリセルの構造が、前記のバイステーブル特性を有するダイオードと負荷抵抗によって構成されるので、この半導体記憶装置のワード

線とビット線とが互いに垂直にレイアウトする場合、ワード線とビット線とが交差する領域内に、当該メモリセルを搭載することが可能である。従って、本願発明は、原理的に必要最小限の占有面積でメモリセルを提供することが出来る。これは、これまでのメモリセルの場合
5 に比較し、その占有面積が小さいことは言うまでもない。具体的には、この大きさは、従来の１トランジスタ・メモリセルの大きさのほぼ半分になる。さらに、本願発明によれば、接合リーク電流が少なく、特性に優れたメモリ素子を有する半導体記憶装置を実現できる。

次に、本願の発明の諸形態の主なものを列挙すれば次の通りである。

10 (１) 第１は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部に対していわゆる周辺回路が配置され、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を
15 可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置である。

通例、前記複数のメモリセルはマトリクス状に配置される。

(２) 第２は、半導体基体に、複数のメモリセルが配置され、かつ前記メモリセルを選択するワード線及びデータ線を有するメモリセルア
20 レー部と、前記メモリセルアレー部の周辺に周辺回路が配置され、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置である。

(３) 第３は、半導体基体に、複数のメモリセルが配置され、かつ前
25 記メモリセルを選択するワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に複数の絶縁ゲート型電界

効果型トランジスタ（MISFET）で構成された周辺回路が配置され、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が前記半導体基体内に存在することを特徴とする半導体記憶装置である。

ここで、前記不純物を含む複数の半導体層が前記半導体基体内に存在することが極めて重要である。本願発明の特性を極めて良好に実現することが出来るのである。即ち、本願発明のこの形態によって、MISS（Metal Insulator Semiconductor Switch）の構造をより高性能に特性を発揮させることが出来る。前記不純物を含む複数の半導体層を、電氣的に前記半導体基体内に閉じ込めることが可能なのである。

（４）第４は、前記メモリセルを形成する不純物を含む複数の半導体層は、少なくともＰ型とＮ型の導電型の異なる２つの半導体層を有することを特徴とする前項（１）より（３）のいずれかに記載の半導体記憶装置である。本例は、前記不純物を含む複数の半導体層のより現実的な形態である。この形態は本願発明の最も典型的な構成を示すものである。前述したように、Ｐ型半導体層とＮ型半導体層の積層順序はいずれでも良い。更に、前記不純物を含む複数の半導体層は、より多くの半導体層をもって構成することも可能である。

（５）第５は、前記メモリセルが有するＰ型とＮ型の導電型の異なる２つの半導体層により形成される、接合の位置が、半導体基体に形成された素子分離領域の深さよりも浅いことを特徴とする前項（４）に記載の半導体記憶装置である。前記Ｐ型とＮ型との両半導体領域の接合の位置が素子分離領域の深さよりも浅いことによって、Ｐ型とＮ型の両半導体領域が素子分離領域の絶縁領域によって規定される。従っ

て、本構成は、素子分離領域を利用し自己整合的にメモリセルの分離をすることが出来る。

(6) 第6は、前記メモリセルが有するPN接合の位置が、前記半導体基体表面から0.3ミクロンの深さより浅いことを特徴とする前項

5 (4)より(5)のいずれかに記載の半導体記憶装置である。

本形態は、半導体装置分野における、実用的且つ有用なPN接合の位置を示すものである。わけても、本構造は、半導体分野での素子分離用絶縁膜の形成によって、PN接合の位置を規定できる。

(7) 第7は、前記メモリセルを形成する不純物を含む複数の半導体層の内、少なくとも1つは、その不純物濃度が、前記半導体基体表面よりも前記半導体基体内部において、高くなっていることを特徴とする前項(4)より(6)のいずれかに記載の半導体記憶装置である。

この構成によって、PN接合部での不純物濃度が高くなるので、空乏層の幅がより狭くなる。従って、当該空乏層を含む領域のパンチスルーを押さえることが出来る。その一方で、絶縁物層と半導体層とが構成する界面での不純物濃度を、その内部より低く設定されている。従って、当該素子のスイッチング電圧を下げる事が出来る。即ち、素子の低電圧動作を可能とする。

この低電圧動作は、本半導体装置を用いてNDR (Negative Differential Resistance) を用いたメモリアレーを構成するに有用な特性である。

(8) 第8は、前記メモリセルを形成する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の、前記半導体基体表面における不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ ($1 \text{ E } 17 \text{ cm}^{-3}$) 以下であることを特徴とする前項(4)より(7)のいずれかに記載の半導体記憶装置である。

本形態は、半導体装置分野における、実用的且つ有用な不純物濃度の範囲を示すものである。

(9) 第9は、前記メモリセルを形成する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の最大不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ ($1 \times 10^{17} \text{ cm}^{-3}$) 以上であることを特徴とする前項(4)より(8)のいずれかに記載の半導体記憶装置である。

本形態は、半導体装置分野における、実用的且つ有用な不純物濃度の範囲を示すものである。

(10) 第10は、前記メモリセルが有する不純物を含む複数の半導体層のうち、前記半導体基体内部に存在する層の、最大不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ ($1 \times 10^{17} \text{ cm}^{-3}$) 以上であることを特徴とする前項(4)より(9)のいずれかに記載の半導体記憶装置である。

(11) 第11は、前記メモリセルが有するPN接合の位置が、前記メモリセルを形成する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の、不純物濃度が最大になる位置よりも深い場所にあることを特徴とする前項(4)より(10)のいずれかに記載の半導体記憶装置である。

(12) 第12は、前記メモリセルを形成する不純物を含む複数の半導体層は、間にN型層を挟んだ2つのP型層からなる、あるいは間にP型層を挟んだ2つのN型層を有してなることを特徴とする前項(1)より(3)のいずれかに記載の半導体記憶装置である。

(13) 第13は、前記メモリセルを形成する不純物を含む3つの半導体層のうち、前記半導体基体表面より離れて存在する、2つのP型層及びN型層が前項(5)より(11)のいずれかに記載の条件を満たしていることを特徴とする半導体記憶装置である。

以下に列挙する形態は、本願発明に係るメモリセルを半導体記憶装

置として組み込む場合に、極めて実用的且つ有用な形態である。そして、その具体例は実施の形態の欄で説明される。

(14) 第14は、前記メモリセルの有する前記導電体層は、前記周辺回路における絶縁ゲート型電界効果型トランジスタ(MISFET)のゲート電極につながる導電体層であることを特徴とする前項(3)より(13)のいずれかに記載の半導体記憶装置である。

(15) 第15は、前記メモリセルの有する前記導電体層は、N型あるいはP型の多結晶シリコンを含む積層膜からなることを特徴とする前項(3)より(14)のいずれかに記載の半導体記憶装置。

10 (16) 第16は、前記メモリセルの有する前記絶縁体層は、前記周辺回路においては絶縁ゲート型電界効果型トランジスタ(MISFET)の絶縁膜につながる絶縁体層であることを特徴とする前項(3)より(15)のいずれかに記載の半導体記憶装置である。

15 (17) 第17は、前記メモリセルの有する絶縁体層は、バンドギャップの異なる絶縁膜の積層膜であることを特徴とする前項(1)より(16)のいずれかに記載の半導体記憶装置。

(18) 第18は、前記メモリセルが有する絶縁体層は、シリコン酸化膜とシリコン窒化膜の積層膜からなり、かつ前記シリコン酸化膜はシリコン基板に形成されたP型半導体層に接して存在することを特徴とする前項(17)に記載の半導体記憶装置である。

以下の例は、具体的にメモリアレーを有する半導体記憶装置の製造の際に有用な例である。

25 (19) 第19は、前記メモリセルの有する前記不純物を含む複数の半導体層の内、少なくとも1つは半導体基体内において、前記ワード線と垂直方向に延在して存在することを特徴とする前項(1)より(18)のいずれかに記載の半導体記憶装置である。

(20) 第20は、前記メモリセルの有する前記不純物を含む複数の半導体層の内、前記メモリセルを形成する絶縁体層に接する層は、メモリセル毎に分離されて存在することを特徴とする前項(1)より(19)のいずれかに記載の半導体記憶装置である。

- 5 (21) 第21は、前記メモリセルを形成する、不純物を含む複数の半導体層の内、最下に形成された層に対して、導電プラグが電氣的に接続されていることを特徴とする前項(1)より(20)のいずれかに記載の半導体記憶装置である。

導電プラグを用いることによって、本例では、各素子の平面領域を
10 小さく保つことが出来る。

- (22) 第22は、前記メモリセルを形成する、不純物を含む複数の半導体層の内、最下に形成された層が、平面配置において、前記ワード線と垂直方向に走る、導電体層と電氣的に接続されていることを特徴とする前項(1)より(21)のいずれかに記載の半導体記憶装置
15 である。

- (23) 第23は、前記メモリセルの有する前記不純物を含む複数の半導体層の内、前記ワード線と平面配置において垂直方向に延在して存在する層は、前記半導体基体に形成された絶縁ゲート型電界効果トランジスタ(M I S F E T)の拡散層の1つと電氣的に接続されており、
20 前記M I S F E Tの他方の拡散層に対しては、前記ワード線と平面配置において垂直方向に走る、導電体層と電氣的に接続されていることを特徴とする前項(1)より(22)のいずれかに記載の半導体記憶装置である。

- (24) 第24は、複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数の
25 のワード線と上記複数のデータ線との所望の交点にもうけられ、それ

それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、
5 複数のメモリアレイを含み、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置である。

(25) 第25は、複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線との所望の交点にもうけられ、それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、
10 上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、
15 複数のメモリアレイを含み、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置である。

(26) 第26は、複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線との所望の交点にもうけられ、それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、
20 上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、
25

複数のメモリアレイを含み、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が前記半導体基板内に存在することを特徴とする半導体記憶装置である。

5 (27) 第27は、シリコンオンインシュレータ基板上に、少なくともメモリセル部、更には当該記憶素子部が形成されたことを特徴とする前項(1)より(26)のいずれかに記載の半導体記憶装置である。

(28) 第28は、メモリセルアレイ領域において、複数のビット線が1つのセンスアンプを共用していることを特徴とする前項(1)より
10 (27)のいずれかに記載の半導体記憶装置である。

(29) 第29は、バイステابلダイオードを半導体基板内に有する半導体装置である。

本例は、バイステابلダイオードが、半導体基板の上部への積層ではなく、半導体基板の内部に含まれて構成される。わけても、バイ
15 ステابلダイオードの半導体層領域が半導体基板の内部に形成されるのが肝要である。即ち、準備された半導体基板の所望部分を、バイステابلダイオードの半導体層の少なくとも一部として用いるのである。勿論、準備された半導体基板の所望部分を、バイステابلダイオードの全ての半導体諸層として用いることも出来る。当該本例
20 は、新規であり、且つバイステابلダイオードを十分有効な特性で利用することが出来る。

尚、本願明細書において、半導体基板は、所望半導体基体にエピタキシャル層を設けて準備されたものも当然含むものである。

(30) 第30は、上記本願発明に係る半導体装置ないしは半導体記憶装置が、半導体基板内にメモリ素子部が設けられ且つ記憶容量が2
25 56メガ・ビット以上であることを特徴とする半導体記憶装置である。

本例は、メモリ素子部が、半導体基板の上部への積層ではなく、半導体基板の内部に含まれて構成される。本例は、新規であり、且つメモリ素子を十分有効な特性で利用することが出来る。そして、本願発明の構成は、記憶特性、スイッチ特性、あるいは素子占有面積の規制を有効に確保しつつ、256メガ・ビット以上の記憶容量の半導体記憶装置を構成出来る。

前述の(29)で説明したのと同様に、本例は、メモリ素子部が、半導体基板の上部への積層ではなく、半導体基板の内部に含まれて構成される。わけでも、メモリ素子部の半導体層領域が半導体基板の内部に形成されるのが肝要である。即ち、準備された半導体基板の所望部分を、メモリ素子部の半導体層の少なくとも一部として用いるのである。勿論、準備された半導体基板の所望部分を、メモリ素子部の全ての半導体諸層として用いることも出来る。

本願発明は、初めて、半導体基板内にメモリ素子部が設けられ且つ記憶容量が256メガ・ビット以上の半導体記憶装置を提供出来る。

(31)第31は、半導体基体に、素子を電氣的に分離するための素子分離領域を形成する工程、メモリセルアレー領域において、高エネルギーイオン打ち込みにより、基板内部に不純物拡散層を形成した後、基板表面に絶縁膜を形成する工程、メモリセルアレー領域においてはワード電極を、周辺回路領域においては絶縁ゲート型電界効果型トランジスタ(MISFET)のゲート電極を形成する工程、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板をエッチングすることにより、メモリアレーをセル毎に分離する工程、層間絶縁膜を堆積した後、コンタクトホールを開口し、前記コンタクト内部へ導電体を埋込む工程、メモリセルアレー領域においてはビット線を、周辺回路領域においてはロ

一カル配線層を形成する工程を有することを特徴とする半導体記憶装置の製造方法である。

尚、具体的方法は実施の形態の欄において説明される。

5 図面の簡単な説明

図 1 は従来の 1 トランジスタメモリセルの等価回路である。

図 2 は従来の半導体記憶装置の断面図である。

図 3 は本願発明のメモリセルの積層を示す断面図及び諸状態におけるバンド構造図である。

10 図 4 は本願発明に用いたメモリセルのメモリ動作特性を示す図である。

図 5 は半導体記憶装置のメモリアレーの配置を示す図である。

図 6 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図及び上面図である。

15 図 7 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 8 は本願発明の半導体記憶装置のひとつの製造工程における上面図である。

20 図 9 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 10 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 11 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

25 図 12 は本願発明の半導体記憶装置のひとつの製造工程における上面図である。

図 1 3 は本願発明の半導体記憶装置のひとつの製造工程における上面図である。

図 1 4 は図 1 3 に示した図の所望方向の断面図である。

図 1 5 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 1 6 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 1 7 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

10 図 1 8 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

図 1 9 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

15 図 2 0 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 2 1 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 2 2 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

20 図 2 3 は積層の絶縁膜のバンド構造図である。

図 2 4 は積層の絶縁膜のバンド構造図である。

図 2 5 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

25 図 2 6 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 2 7 は本願発明の半導体記憶装置のひとつの製造工程におけるビ

ット線に垂直方向の断面図である。

図 2 8 は本願発明の半導体記憶装置のひとつの製造工程における上面図である。

5 図 2 9 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

図 3 0 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

図 3 1 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

10 図 3 2 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 3 3 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

15 図 3 4 は本願発明の半導体記憶装置のひとつの製造工程におけるワード線に垂直方向の断面図である。

図 3 5 は本願発明の半導体記憶装置のひとつの製造工程におけるビット線に垂直方向の断面図である。

図 3 6 は本願発明の半導体記憶装置におけるセンスアンプのレイアウトの例を示す図である。

20 図 3 7 は本願発明の半導体記憶装置におけるメモリセルの 1 つの不純物プロファイルを示す図である。

図 3 8 は本願発明の半導体記憶装置におけるメモリセルの電流－電圧特性を示す図である。

25 図 3 9 は本願発明の半導体記憶装置におけるメモリセルのデータ保持時の状態を示す図である。

図 4 0 は本願発明の半導体記憶装置におけるメモリセルのデータ読

出し時の状態を示す図である。

図 4 1 は本願発明の半導体記憶装置におけるメモリセルの 1 つの不純物プロファイルを示す図である。

図 4 2 は本願発明の半導体記憶装置におけるメモリセルアレイ方式
5 の 1 つの例を示す回路図である。

図 4 3 は本願発明の半導体記憶装置におけるメモリセルアレイ方式の 1 つの例を示す断面図である。

図 4 4 は本願発明の半導体記憶装置におけるメモリセルアレイ方式の 1 つの例を示す回路図である。

10 図 4 5 は本願発明の半導体記憶装置におけるメモリセルアレイ方式の 1 つの例を示す回路図である。

図 4 6 は本願発明の半導体記憶装置におけるメモリセルアレイ方式の 1 つの例を示す回路図である。

15 図 4 7 は本願発明の半導体記憶装置におけるメモリセルアレイ方式の 1 つの例を示す上面図及びその C C 方向の断面図である。

発明を実施するための最良の形態

以下、本願発明の実施例を、製造工程をたどりながら詳細に説明する。

20 プロセス全体の流れとしては次のようになる。まず、メモリセルアレイ、次に周辺回路に用いられる MOSFET を作り、最後に配線層という順番になる。尚、本願明細書では、以下、MOSFET の用語は、いわゆるゲート絶縁型電界効果型トランジスタ (MISFET) を一般に示すものとして説明する。即ち、このトランジスタの電界効果
25 果を奏する為に用いられる絶縁物層は、代表的な酸化物層、わけてもシリコン酸化物に限らないことを指す。

<実施の形態 1>

まず、実施の形態 1 の実際のプロセスフローを述べる。

まず始めに、P 型半導体基板 (5) を用意して、各 MOSFET を分離するための素子間分離酸化膜 (6) を、周知の選択酸化法や浅溝分離法を用いて形成する。本実施例では、表面を平坦化できる、浅溝分離法を用いた。図 6 を参酌する。図 6 の (a) は断面図、図 6 の (b) は平面図である。尚、図 6 は、メモリアレー部と周辺回路部の一部が示されている。まず基板 5 に深さ 0.3 ミクロン程度の分離溝を周知のドライエッチ法を用いて形成する。この溝側壁や底面のドライエッチに起因する損傷を取り除いた後に、周知の CVD (Chemical Vapor Deposition) 法を用いてシリコンの酸化膜を 0.7 ミクロン程度の膜厚で堆積する。そして、溝ではない部分にある酸化膜を、周知の CMP (Chemical Mechanical Polishing) 法で選択的に研磨し、溝に埋まっている酸化膜 6 だけを残す。図 6 の (a) はこの状態を示している。素子分離領域形成後の上面図を図 6 の (b) に示す。図 6 の (a) は図 6 の (b) の AA の断面図に相当する。

半導体記憶装置の構造で特徴的なことは、メモリアレーにおける素子形成領域は、単純なラインアンドスペース (Line and Space) になっている点である。この構造は、位相シフト法等の超解像のリソグラフィを適用するのに、極めて適している。

次に高エネルギー不純物打ち込みにより、導電型の異なる 2 種類のウエルを形成した。その際、この例では、メモリアレー領域には N 型ウエル (7) を形成した。図 7 はこの状態を示す。

つづいて、図 8 に示したように、メモリアレー部のみを開口したレジスト膜 (1201) をマスクに、メモリアレー領域にボロ

ンを、50 KeVの加速エネルギーで、 $5 \times 10^{14} \text{ cm}^{-2}$ ($5 \times 10^{14} \text{ cm}^{-2}$) のドーズ量で打ち込む。次いで、900度、10秒のアニール工程により、ボロンイオンを活性化する。図9はこの状態を示す。

- 5 こうして形成されたP型の拡散層(8)がメモリアレーにおけるビットラインとなる。この際重要なことは、P型拡散層(8)の深さを素子分離用の酸化膜(6)の膜厚より浅くすることにより、自己整合的に、P型拡散層(8)が素子分離用の酸化膜(6)により電氣的に分離されるという点である。即ち、P型拡散層(8)の深さを素子分
10 離用の酸化膜(6)の膜厚より浅い場合、P型拡散層(8)の基板面に平行な幅が、絶縁物であり、予め形成されている素子分離用の酸化膜(6)によって規定されているからである。

- 次に、こうして準備した半導体基板の表面を洗浄した後に、酸化膜(9)を周知の熱酸化法で成長させ図10のようになった。この時の
15 酸化温度は摂氏800度、酸化膜の膜厚は3 nmである。この酸化膜(9)は、周辺回路の領域においてはMISFETのゲート酸化膜となり、メモリアレーの領域においてはトンネル膜となる。

- さらに、図11に示したように、この酸化膜の表面に、ワード線(10)及びゲート電極(11)として、リンを高濃度で含む多結晶シリ
20 コンを100 nmの厚さで堆積した。勿論、リンの代りにボロンを高濃度で含む多結晶シリコン等を用いても構わない。

- 本実施例においては、電極材料として、多結晶シリコンを用いたが、ゲート抵抗を低減するために、間に反応抑止のバリアメタルをもうけた金属と多結晶シリコンの積層膜を用いることも、勿論可能である。
25 またこの金属として、多結晶シリコンとは反応しない、シリサイド膜を用いても良い。

本願発明の基本となるバイステイブルダイオードは次の構成とするのが良い。その基本構造は、前述した通り導電体層（１）、絶縁膜層（２）、 n 型シリコン層（３）、 P 型シリコン層（４）の積層構造を有している。

5 この導電体層１としては、例えば、 N 型/ P 型多結晶シリコン、タングステン、アルミ、銅など、絶縁膜２としては、例えば、シリコン酸化膜、シリコンナイトライド、シリコン酸、窒化膜などを用いることが出来る。又、 n 型シリコン層（３）及び P 型シリコン層（４）は通例のものを用いることが出来る。その不純物濃度は概ね、 10^{16} cm^{-3} より
10 10^{19} cm^{-3} の範囲を用いる。各層の厚さは、通例、導電体層（１）は 50 nm より 300 nm 、絶縁膜（２）は 1 nm より 3 nm の範囲が用いられる。 n 型シリコン（３）と P 型シリコン（４）の積層順番が入れ替わったものに対しても、概ね同様の条件で実施することが出来る。尚、以下の別な実施の形態においても前記の各層の条
15 件が基本となる。

次に、周知のドライエッチ法を用いて、周辺回路領域においてはゲート電極（１１）の形状に、メモリアレーにおいてはワード線（１０）の形状に加工し、図１２のようになった。図１２はこの状態に準備された当該半導体基板の上面図である。

20 さらに、周辺回路領域の拡散層１３を形成するために、このゲート電極及びレジストの領域をマスク領域にして、不純物イオンを打ち込む。 n 型 MOSFET には砒素を $5 \times 10^{14} \text{ cm}^{-2}$ （ $5 \times 10^{14} \text{ cm}^{-2}$ ）程度の量で、また、 P 型 MOSFET にはボロンを同じ量だけ打ち込んだ。そして、熱処理、具体的には、 950 度で 10 秒の条件で
25 基板を加熱し、打ち込んだ不純物を活性化させることで、周辺回路領域の拡散層１３を作った。この拡散領域自体は基本的に通例の構造、

方法によって十分である。

次に、メモリアレーの形成を行う。この時点では、ビット線方向にメモリセルがつながっているので、セル毎に分離する必要がある。その為に、図13に示したように、メモリアレー領域のみを開口したレジストマスク(12)を用いて、ワード線電極をマスクにして、基板をエッチングする。具体的には以下のように行う。

まず、3nmのトンネル酸化膜をエッチングする。続いて、図14の(a)に示したように、シリコン基板を200nmエッチングし、ビット線となるP型拡散層(8)を露出させる。図14の(a)は図13におけるAA方向の断面図である。周辺回路部はレジスト12に覆われている。この結果、ワード線に垂直な方向の断面図は図14の(b)のようになり、メモリアレーはワード線により、自己整合的にセル毎に分離される。以上述べたことから明らかなように、本実施例においては、メモリセルはビット線及びワード線に対して、自己整合的に形成されるので、合わせズレの問題がなく、接触面積のバラツキもないことから、セルの特性のバラツキが非常に小さいという特長がある。

次に、レジスト(12)を除去し、周知のCVD法により0.7ミクロン程度の酸化膜(14)を堆積し、周知のCMP法による平坦化を行う。図15はこの状態を示す断面図である。続いて、メモリセルアレー領域においてはビット線となる拡散層(8)に対し、周辺回路においてはMOSFETの拡散層(13)やゲート電極(11)に対して、コンタクトを開口する。この開口部に周知のCVD法によりTi/TiN/Wの積層膜を形成し、Wプラグ(15)を形成する。このプラグの加工は周知のCMP法を用いる。図16はこの状態を示す断面図である。

本構造で有利な点は、ビット線抵抗の低減である。即ち、図17に示すように、金属配線層(16)を形成する。この時のメモリセルアレーにおける、ワード線に垂直な方向の断面図を図18に示す。拡散層からなる高抵抗のビット線(8)を低抵抗の配線層(16)でシャントすることになり、見掛け上、ビット線の抵抗を低減することができた。

さらに、層間絶縁膜(17)を堆積し、コンタクトを開口後にプラグ(18)を形成し、配線層(19)を形成して所望の半導体記憶装置を得た。図19にこの状態の断面図を示す。

最後に本実施例における特長をまとめるとつぎのようになる。

まず、キャパシタが不要なために、メモリセルアレーと周辺回路間の段差が小さい。また、キャパシタ工程に伴う熱工程が不要な為、周辺回路MISFETの性能が優れる。さらに、従来の1トランジスタメモリを有するDRAMに比べ、メモリセル面積が約半分であり、しかもプロセスがはるかに簡易である為、高歩留まり、低コストが十分に期待できる。

<実施の形態2>

実施の形態2は、特に高速メモリ動作を実現する手法に関するものである。

本願発明による半導体記憶装置のスピードを決める重要な要因の一つが、データ読み出し時にメモリセルを流れる低抵抗状態のトンネル電流である。トンネル電流を増大させるのに、最も有効な手法が、トンネル酸化膜の薄膜化である。ところが、周辺回路領域におけるゲート酸化膜の薄膜化は、待機時の消費電力を増大させると言う相反する特性を有する。通例、上述の実施の形態1のような構造の場合、こうした両特性を勘案して、半導体装置を構成する諸部材の材質、幅、長

さ、厚さなどのディメンジョン等が設計される。

こうした背景から、本例では、更にこの点をより一歩進めた構造を例示する。従って、本例では半導体記憶装置のスピードを高いものに確保しつつ、周辺回路領域の消費電力は低電力と成し得る。更には、
5 半導体装置の各部の設計を容易ならしめる。

本実施例ではメモリアレー部と周辺回路部で、酸化膜の膜厚を異なるものとした。即ち、メモリセル部の酸化膜はトンネル電流を十分となすように薄膜化し、一方周辺回路部の酸化膜は待機時の消費電力を増大させない厚さに設定するものである。以下には、その主要部のみ
10 説明する。その他の事項は基本的に前述の通りである。

本例の断面図を図20に示す。下記の絶縁膜901、902以外の各部の符号はこれまでのものと同様である。本例では、メモリアレー領域のトンネル酸化膜(901)を1.5nmとし、周辺回路領域のゲート酸化膜(902)を3nmとした。酸化膜形成以外の製造工程
15 は実施の形態1と同様である。この2種類の膜厚のトンネル/ゲート酸化膜は以下のように形成した。まず、通常の熱酸化法により、基板全面に1.5nmの酸化膜を形成する。次に、メモリセルアレー領域のみを開口し、周辺回路領域を被ったレジストマスクを用いて、メモリセルアレー部の酸化膜をウエットエッチにより除去する。しかる後
20 に、基板全面を1.5nmの厚さに酸化する。こうして、メモリセルアレー部においては1.5nm、周辺回路部においては3nmの酸化膜を形成することが出来た。本例のメモリ動作はより高速化を実現することが出来た。

尚、図20の上記記載以外の部位は図19と同様なので、その詳細
25 は省略する。

<実施の形態3>

実施の形態3は、特にトンネル酸化膜の特性を改善する手法に関するものである。具体的にはデータ保持時の電流を低く押さえつつ、データ読出し時の電流を増大させる手法を提案する。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

5 本目的の為に、トンネル／ゲート酸化膜として、シリコン酸化膜(903)／シリコン窒化膜(904)の積層膜を用いた。この状態のワード線に平行な方向の断面図を図21に示す。また、図22には、メモリセルアレーにおけるワード線に垂直な方向の断面図を示す。図21、図22において、これまでの図面と同様の符号は同じ部分を示す。

10 積層のトンネル膜を用いると以下のような効果がある。メモリセルにおける、データ保持時の模式的なバンド構造は図23のようになる。図において、 E_c は伝導帯の下端、 E_v は価電子帯の上端を示す。トンネル電流の方向を矢印で示した。

15 この時、シリコン酸化膜903とシリコン窒化膜904の両方が、トンネルのバリアとして機能するので、リーク電流は低く押さえられる。一方、データ読出し時、即ち、ワード電極に一定以上のバイアスが与えられている場合の模式的なバンド構造は図24のようになる。バンド図から明らかなように、この時にはシリコン酸化膜903のみが電子のトンネルのバリアとして機能するので、データ保持時に比べて、実効的なトンネル絶縁膜の膜厚が薄くなる。この結果、トンネル電流が増大し、高速データ読出しが可能になる。

20 この動作から明らかなように、バンドギャップの異なる絶縁膜の組み合わせで同様な効果が期待できる。データ保持時は複数の絶縁膜の積層がトンネル効果に対するバリアとして作用し、データ読み出し時は、大きな禁制帯幅を有する絶縁膜の方がキャリアのトンネル効果に対するバリアとなるような、絶縁膜の組み合わせを用いるのが基本思

想である。例えば、その組み合わせとしては、上述の例以外に、シリコン酸化膜／タンタル酸化膜、シリコン窒化膜／タンタル酸化膜、等を用いても勿論構わない。勿論、要求される特性によって具体的な設計値が変化するが、これらの各絶縁膜の厚さは概ね5オングストロームより30オングストローム程度の範囲で選択される。更に、特性の設計や製造の観点から、2層の組み合わせが最も実用的であるが、2層以上の絶縁膜を上記本例の基本思想に合致するように構成することも可能である。

また、本実施例において注意すべき点がある。前記の動作原理から明らかなようにワード電極に正のバイアスを印加しなければならない。従って、バイステابلダイオードの原理を参照すれば、図21に示す構造で、ビット線(801)はN型拡散層、メモリアレーを被うウェル(701)はP型とする必要がある。

本実施例の製造工程はゲート酸化膜の工程を除き、実施の形態1とほぼ同様である。ゲート酸化膜の製造工程は以下の通りである。まず、通常の熱酸化法により、基板全面に膜厚2nmのシリコン酸化膜を形成する。続いて、表面窒化により、膜厚1nmのシリコン窒化膜を形成し、シリコン酸化膜／シリコン窒化膜の積層膜とした。

尚、ワード電極の材料として、本実施例では、リンを高濃度に含むN型多結晶シリコンを用いたが、他にもボロンを高濃度に含む多結晶シリコンや、タングステン等の金属を用いることも可能である。しかし、低消費電力の観点から、データ読出し時の印加電圧を小さくするためには、仕事関数の小さな材料をワード電極として用いることが有効である。その意味では、前記の中では、N型多結晶シリコンが最適である。ワード電極の材料はこの実施の形態以外の例においても同様に考え得る。

<実施の形態 4>

実施の形態 4 は、製造方法、中でも特に実用的に有用なメモリアレーの製造方法に関するものである。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

5 実施の形態 1 においてメモリアレーをセル毎に分離する際、図 1 1 及び図 1 2 に示したように、ワード電極 (10) 及び素子分離用の酸化膜 (6) をマスクに、シリコン基板をエッチングする工程があった。この時、素子分離領域 (6) がテーパー形状をしている結果として、素子形成領域が逆テーパー形状となる。この為、シリコン基板をエッチングする際、側壁に沿ってシリコンがエッチ残りする可能性がある。
10 これは、メモリアレーがセル毎に分離されないということを意味する。本実施例はこうした不良発生を回避する製造方法に関するものである。

この目的の為に、シリコン基板エッチングの際に、酸化膜に対する選択比の無い条件、即ち、素子分離用の酸化膜 (6) も同時にエッチングすることにより、図 2 5 のようになった。即ち、素子分離用の絶縁膜 (6) と拡散領域 (8) が基本的に平面を呈する。本構造によれば、先に指摘したエッチ残り等の突起物等は発生しないのである。このように、本実施例によれば、実施例 1 の場合とは異なり、確実にメモリアレーをセル毎に分離することが可能である。この後、層間酸化
15 膜 (14) を堆積等し、プラグ (18)、配線層 (19) を形成し所望の半導体記憶装置を得た。図 2 6 がこの状態を示す断面図である。尚、本例の上記説明以外の部位は前述の実施の諸形態を同様であるので、その詳細説明は省略する。

<実施の形態 5>

25 実施の形態 5 は、ビット線コンタクト開口時に、自己整合プロセスを適用したものである。本実施例を適用の結果、セル面積を増大する

ことなくビット線のシャントを多数行えるので、見掛け上のビット線抵抗の大幅な低減が可能である。以下には、その主要部のみ説明する。その他の事項は基本的に前述の通りである。

ゲート酸化膜形成までの工程は、実施の形態 1 と同様である。勿論、
5 本例に組み合わせて実施の形態 2 や実施の形態 3 で述べたように、複
数、例えば 2 種膜厚トンネル絶縁膜や積層トンネル絶縁膜を用いるこ
とは可能である。

次に、自己整合コンタクト開口プロセス適用の為に、ワード線（1
0 0 1）／ゲート電極（1 1 0 1）となる電極材料を堆積後、シリコ
ンナイトライド（2 0）を周知の CVD 法により 1 0 0 nm 堆積し、
10 周知のドライエッチにより加工する。この状態のワード線に平行な方
向の断面図を図 2 7 に示す。尚、図 2 7 において、符号 5 は半導体基
板、8 は不純物の拡散領域、9 は絶縁膜であることはこれまでと同様
である。この時の、上面図を図 2 8 に示す。また、ワード線に垂直方
15 向の断面図を図 2 9 に示す。尚、図 2 9、図 3 0 及び図 3 1 の各断面
図は、図 2 8 中の A A 方向の各工程での断面図である。

更に、ワード電極領域をマスクに、メモリアレーにおいてのみ、ト
ンネル酸化膜及びシリコン基板を 2 0 0 nm エッチングする。続いて、
シリコンナイトライド（2 0 0 1）を 3 0 nm 堆積して図 3 0 のよう
20 になった。次に、シリコンナイトライドを 3 0 nm 異方性エッチング
により加工し、側壁のシリコンナイトライド膜（2 0 0 1）を形成す
る（図 3 1）。

次に、洗浄した後に、層間絶縁膜として、シリコン酸化膜（1 4）
を 0.7 ミクロン堆積し、周知の CMP 法により平坦化する（図 3 2）。

25 さらに、実施の形態 1 と同様にプラグ（1 5）及び配線層（1 6）
を形成する（図 3 3）。図 3 2 及び図 3 3 はメモリアレー部と周辺回

路部を示す断面図である。尚、メモリセルアレーにおけるワード線に垂直な方向の断面図は図34のようになった。絶縁物領域6を用いた自己整合コンタクトプロセス適用の結果、面積を増大させることなく、ビット線拡散層に多数個コンタクトを開口し、ビット線抵抗を大幅に低減できた。

<実施の形態6>

実施の形態6は基板として、シリコン・オン・インシュレータ（SOI: Silicon On Insulator）を用いたものである。この例は次のような特長を有している。これまで述べた実施の形態1～5においては、メモリセルアレーにおける拡散層（8）への、コンタクト開口ドライエッチは、例えば図14に示したように、下地にエッチストップとなる層が無い為に、時間制御で行う必要がある。しかし、図35に示したように、SOI基板を使うことにより、このエッチングを酸化膜（21）で止めることができ、前記問題を解決できる。

図35に第1配線層形成までの断面図を示すが、本実施例の製造工程は実施の形態1とほぼ同様である。

以上、実施の形態1より6の諸形態を説明したが、メモリ素子部分は、これまで説明した諸実施の形態の構成を適宜組み合わせて用いることが出来ることは言うまでもない。それは、2つ以上を組み合わせることも勿論可能である。その各々の特徴を生かすことが出来る。

<実施の形態7>

実施の形態7は、本願発明によるメモリセルアレーのレイアウトに関するものである。図36にメモリセルアレー及びセンスアンプのレイアウトを示す。通常の折り返しビット線構造を有するメモリとは異なり、ワード線64とビット線65のクロスした部分62すべてにメ

メモリセル 66 が配置される。尚、メモリ素子部分は、これまで説明した諸実施の形態の構成を用いることが出来る。2 つ以上を組み合わせることも勿論可能である。その各々の特徴を生かすことが出来る。

本願発明によるメモリは、非破壊読出しであるので、1 つのセンスアンプ 67 を複数のセルで共用し、従来の 1 トランジスタ型メモリセルを有する半導体記憶装置に比べて、センスアンプの数を大幅に減らすことが可能である。そこで、図 36 に例示したように、ビット線 65 を複数束ねて、スイッチで選択し、センスアンプ 67 に入力する方式とした。また、センスアンプ 67 の数が少ない効果として、チップ面積をあまり増大させることなく、ビット線分割を増やすことができる。この結果、ビット線の容量が低減され、メモリ動作の高速化が可能になる。

<実施の形態 8>

実施の形態 8 は、本願発明によるメモリセルアレーをサブ 0.1 ミクロンレベルの寸法に微細化する為の、メモリセルの形成方法に関するものである。実施の形態の 1 で述べたように、メモリセルを形成する PN 接合を素子分離領域の深さより浅くすることにより、自己整合的にビット線を形成できる。しかし、この為には解決すべき課題がある。即ち、メモリ動作実現の為には、PN 接合の空乏層と MOS 界面の空乏層のパンチスルーをおさえつつ、同時にセルの低電圧動作実現の為に、スイッチング電圧を低く抑える必要がある。この目的の為に、図 37 に示すような PN 接合プロファイルを形成した。図において、横軸は半導体基板表面よりの深さ、縦軸は不純物濃度を示す。図にはドナーとアクセプタの濃度の各プロファイルが示される。この両曲線の交点を中心として PN 接合が形成されてる。

この特長は以下の通りである。即ち、P 層及び N 層のいずれも、基

板表面よりも内部で濃度が高い、所謂レトログレード型のプロファイルとした。この結果、PN接合部の濃度が高くなり、パンチスルーを避けることができる。同時に、MOS界面の不純物濃度が低いのでスイッチング電圧も2V以下に設定可能である。本実施例では、リンを
5 210KeVの加速電圧で、 $3 \times 10^{13} \text{ cm}^{-2}$ ($3 \times 10^{13} \text{ cm}^{-2}$)
のドーズ量で、ボロンを30KeVの加速電圧で $3 \times 10^{13} \text{ cm}^{-2}$ ($3 \times 10^{13} \text{ cm}^{-2}$)
のドーズ量で打込んだ。この結果得られたメモリの電流-電圧特性は、図38のようになり、所謂ヒステリシス特性を顕した。尚、図38、図39、及び図40の横軸は電圧、縦軸は
10 電流である。

次に、この特性に基づき、メモリの動作を説明する。非選択セル（待機状態）の負荷直線を図39に示す。待機時の消費電力低減の観点から、データが保持されうるできるだけ小さい印加電圧（図39の例の場合で約1.2V）を与えている。一方、データ読出し時には、
15 ワード線及びビット線に与える電圧を変化させ、図40に示すような負荷直線状態にする。そして、流れる電流の変化からデータをセンスする。この動作からわかるように、図40中のaとbの電流比が、本メモリの性能指針となる。即ち、読出し時の電流bを増大させることは、メモリの高速動作につながり、同時に1本のビット線につながるセル
20 の数を増やせるのでチップ面積の縮小が可能になる。

勿論、本例の素子を構成する半導体材料の導電型のN型とP型の極性を逆にした場合も、印加電圧の極性を逆にすれば、メモリとして、同様な動作をすることは明らかである。本メモリの形成方法は、実施の形態1から6に記載の製造方法に適用可能であることは言うま
25 でもない。

<実施の形態9>

実施の形態 9 は、スイッチング電圧の制御法に関するものである。

スイッチング電圧は、パンチスルーの抑制とは、全く独立に任意に設定可能であることが望ましい。この目的の為に、メモリセルの MOS 界面近傍に浅く、不純物をイオン注入した。本実施例では、低電圧動作させるためにスイッチング電圧を下げることを目的に、図 37 に示す不純物プロファイルを持つメモリ素子に対して、ヒソを 80 KeV の加速電圧で、 $1 \times 10^{13} \text{ cm}^{-2}$ ($1 \times 10^{13} \text{ cm}^{-2}$) のドーズ量で打込んだ。この結果、ドナーのプロファイルは図 41 に示すように、MOS 界面でピークを持つ構造となった。これが、MOS 界面近傍のアクセプタをコンペンセイトし、実効的な不純物濃度が低下することとなり、スイッチング電圧を 1.5 V に低減できた。勿論、ヒソの代りにリンを用いることも可能である。本実施例では、スイッチング電圧低減の為にヒソをイオン注入したが、スイッチング電圧増大の為に、ボロンを注入することはいうまでもないことである。本メモリセルの形成方法は、実施の形態 1 から 6 に記載の製造方法に適用可能である。

<実施の形態 10>

実施の形態 10 は、メモリセルアレイに関するものである。本願発明によるメモリセルはトンネル現象を利用している為に、基本的にオン電流が少ない。従って、メモリの高速動作実現の為に、ビット線容量の低減が極めて重要である。この目的で図 42 に示す階層型ビット線構成を有するメモリアレイを採用した。図 42 では、メモリセルとして、MINP 型のセルを用いた場合を示す。図 42 中の多分割された BL (ビット線) は P 型拡散層からなり、この一方が、PMOS のスイッチングトランジスタ (SHR) を介して、低抵抗の GBL (グローバルビット線) に接続されている。同時に、BL の他方は PMO

Sのスイッチングトランジスタ（PC）を介してプリチャージ線（VPC）につながっている。この結果、本実施例の1つの特長として、非選択BLの電位が固定され、データの保持が安定するという点がある。BLとGBLは、平面配置で互いに平行に配置され、そのピッチは同じである。本実施例においては、各BLにつながるメモリセルを10個とすることにより、ビット線容量を大幅に低減することが出来た。

図43には本実施例の上面図及び断面図を示す。図43の（a）が上面図、（b）が断面図で、各々の領域を対比して示している。図43の（b）は図43の（a）のAA断面の断面図である。図において、符号69はグローバルビット線、この内部に示された符号71の領域はグローバルビット線のコンタクト領域である。SHRObは選択トランジスタの領域、PCOb、PC1bはプリチャージ線のスイッチング・トランジスタ部である。符号72はプリチャージ線のコンタクト領域を示す。又、符号10はワード線を示す。尚、断面図に関しては、これまでのものと同様の部位は同じ符号で示される。但し、符号69は前述のグローバルビット線、70は側壁の絶縁膜を示している。

本実施例においては、面積縮小の観点から、プリチャージ線（VPC）の接続は拡散層で行い、適度にシャントする構造としたが、この手法の他にも、拡散層接続とはせずに、プリチャージ線（VPC）への、すべてのコンタクトを開口し配線層と接続することが可能なのは勿論である。また、本実施例においてはビット線容量低減を第1の目的として、各ビット線につながるセルの数を10個としたが、更なるチップ面積縮小を目的とする場合には、各ビット線につながるセルの数を増やせば良いことは言うまでもない。さらに付け加えるならば、本実施例においては、メモリセルとしてMINP型のセルを用いた場

合を示したが、逆極性のM I P N型を用いることが可能なのは言うまでもない。その場合、B L（ビット線）はN型拡散層からなるので、スイッチングトランジスタはN M O Sとなる。

<実施の形態 1 1>

- 5 実施の形態 1 1 は、実施の形態 1 0 で述べた、階層型ビット線構成を有するメモリアレイにおいて、G B L のピッチを、B L のピッチよりも緩和し、製造プロセスを簡易にすることを可能にする発明である。図 4 4 に本実施例の回路図、図 4 5 には上面図及び断面図を示す。図 4 5 の（a）が上面図、（b）が断面図で、各々の領域を対比して示している。図 4 5 の（b）は図 4 5 の（a）の B B 断面の断面図である。

- 図において、符号 6 9 はグローバルビット線、この内部に示された符号 7 1 の領域はグローバルビット線のコンタクト領域である。符号 7 2 はプリチャージ線のコンタクト領域を示す。S H R 0 0 b は選択トランジスタの領域、P C 0 0 b、P C 0 1 b はプリチャージ線のスイッチング・トランジスタ部である。これらは、図 4 4 に示す回路図のそれと対応している。又、符号 1 0 はワード線を示す。尚、断面図に関しては、これまでのものと同様の部位は同じ符号で示される。但し、符号 6 9 は前述のグローバルビット線、7 0 は側壁の絶縁膜を示している。

- 20 実施の形態 1 0 と同様に、拡散層からなる多分割された B L は、スイッチングトランジスタ（S H R）を介して、低抵抗の G B L につながっているが、本実施例では、G B L のピッチは B L のピッチの 2 倍になっている。これを可能にする為に、隣り合う B L の選択トランジスタ（例えば S H R 0 0 b と S H R 0 1 b）を B L 方向にずらして配置することとした。B L ピッチを緩和することなく、この構造を実現す

る為に、プロセス的には図45に示すように、素子分離領域下で拡散層を接続した。本実施例においては、メモリセルとしてM I N P型のセルを用いた場合を示したが、逆極性のM I P N型を用いることが可能なのは言うまでもない。その場合、B L（ビット線）はN型拡散層からなるので、スイッチングトランジスタはN M O Sとなる。

＜実施の形態12＞

実施の形態12は、実施の形態11で述べた、グローバルビット線のピッチを緩和した、階層型ビット線構成を有するメモリアレイにおいて、周辺回路の構成を簡略化し、チップ面積の縮小を可能にする例である。図46に本実施例の回路図、図47に上面図及び断面図を示す。図47の（a）が上面図、（b）が断面図で、各々の領域を対比して示している。図47の（b）は図47の（a）のC C断面の断面図である。

図において、符号69はグローバルビット線、符号71の領域はグローバルビット線のコンタクト領域である。符号11は周辺回路のゲート電極を示す。S H R 0 0 bは選択トランジスタの領域、P C 0 0 b、P C 1 1 bはプリチャージ線のスイッチング・トランジスタ部である。これらは、図46に示す回路図のそれと対応している。又、符号10はワード線を示す。尚、断面図に関しては、これまでのものと同様の部位は同じ符号で示される。但し、符号69は前述のグローバルビット線、70は側壁の絶縁膜を示している。

本実施例においては、非選択B Lに接続されたメモリセルのデータ保持をフローティング状態で行うことに特徴がある。即ち、ビット線B Lの一方のみが、スイッチングトランジスタ（S H R）を介して、グローバルビット線（G B L）につながっており、これが、図42及び44と大きく異なる点である。この結果として、スイッチングトラ

ンジスタの数を半減し、チップ面積の縮小を達成した。本実施例においては、メモリセルとしてM I N P型のセルを用いた場合を示したが、逆極性のM I P N型を用いることが可能なのは言うまでもない。その場合、B L（ビット線）はN型拡散層からなるので、スイッチングト
5 ランジスタはN M O Sとなる。

以上、本願発明を詳細に説明したが、本願発明によれば、セル面積を従来のD R A Mの半分にすることができるので、チップ面積を大幅に小さくすることができる。また、基本的にキャパシタが不要なので、
10 周辺回路との段差が小さくでき、熱工程も従来に比べ大幅に減らせるので、周辺回路M O S F E T（あるいはM I S F E T）の性能を劣化させることも無く、論理混載D R A M等のシステムL S Iに極めて好適である。さらに、キャパシタが不要ということで、本願発明には、従来のD R A Mに比較し、マスク枚数を削減し、著しくプロセスを簡
15 略化し、製造コストを低減するという効果もある。また、リフレッシュが不要なので、消費電力も著しく小さい。その上、データを破壊することなく読出せるので、リフレッシュが不要であり、センスアンプの数も削減できる。この効果として、ビット線の多分割が可能になり、ビット線の容量を低減し、セル動作を高速化できる。

20 また、メモリセルを構成する、不純物に関し、レトログレード型のプロファイルを用いることによって、サブ0.1ミクロンのレベルまで微細化が可能になる。これは、バイステابلダイオードをメモリセルとして用いる場合のスケーリング指針とも言うべきものである。さらに、階層型ビット線構造は、トンネル現象を利用した本メモリに
25 とっては、性能を向上させる上で必須の技術である。

こうして、本願発明によれば記憶容量が256Mビット以上の半導

体記憶装置をより好都合に実現することが出切る。

尚、図面の理解を容易にする為、主な符号を説明すれば、以下の通りである。

- 1 - 金属、2 - 絶縁膜、3 - N型半導体、4 - P型半導体、5 - 半導
5 体基板、6 - 素子分離用の酸化膜、7 - メモリアレーを覆うN型ウエル、701 - メモリアレーを覆うP型ウエル、8 - P型不純物拡散層、
801 - N型不純物拡散層、9、901、902 - 絶縁膜、903 -
シリコン酸化膜、904 - シリコン窒化膜、10、1001 - ワード
線、11、1101 - 周辺回路ゲート電極、12 - レジスト、13 -
10 周辺回路トランジスタ不純物拡散層、14 - 層間絶縁膜、15 - プラ
グ、16 - 配線層、17 - 層間絶縁膜、18 - プラグ、19 - 配線層、
20、2001 - シリコン窒化膜、21 - シリコン酸化膜、50 - ト
ランジスタ、51 - キャパシタ、60 - メモリセルアレー、61 - 周
辺回路、62 - ワードとビットのクロス領域、63 - キャパシタ、6
15 4 - ワード線、65 - ビット線、66 - メモリセル、67 - センスア
ンプ、68 - サブビット線、69 - グローバルビット線、70 - 側壁
絶縁膜、71 - グローバルビット線コンタクト、72 - プリチャージ
線コンタクト、76 - 配線層である。尚、図中、() 付で示した符号
の部材はその符号相当の部材あるいはそれに相当の工程にて形成され
20 た部材を示す。

産業上の利用可能性

本願発明によれば高集積密度の半導体記憶装置を提供することが出来る。

請 求 の 範 囲

1. 半導体基体に、複数のメモリセルと、前記メモリセルを選択するワード線及びデータ線とを有するメモリセルアレー部、及び周辺回路
5 を有し、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする半導体記憶装置。
2. 半導体基体に、複数のメモリセルと、前記メモリセルを選択する
10 ワード線及びデータ線とを有するメモリセルアレー部、及び周辺回路を有し、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置。
3. 半導体基体に、複数のメモリセルと、前記メモリセルを選択する
15 ワード線及びデータ線を有するメモリセルアレー部と、前記メモリセルアレー部の周辺に複数の絶縁ゲート型電界効果型トランジスタ（M I S F E T）を有して構成された周辺回路が配置され、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が
20 前記半導体基体内に存在することを特徴とする半導体記憶装置。
4. 前記メモリセルが有する不純物を含む複数の半導体層は、P型とN型の導電型の異なる2つの半導体層を有することを特徴とする請求項1に記載の半導体記憶装置。
5. 前記メモリセルが有するP型とN型の導電型の異なる2つの半導
25 体層により形成される、接合の位置が、半導体基体に形成された素子分離領域の深さよりも浅いことを特徴とする請求項4に記載の半導体

記憶装置。

6. 前記メモリセルが有するPN接合の位置が、前記半導体基体表面から0.3ミクロンの深さより浅いことを特徴とする請求項4に記載の半導体記憶装置。

5 7. 前記メモリセルが有する不純物を含む複数の半導体層の内、少なくとも1つは、その不純物濃度が、前記半導体基体表面よりも前記半導体基体内部において、高くなっていることを特徴とする請求項4に記載の半導体記憶装置。

10 8. 前記メモリセルが有する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の、前記半導体基体表面における不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする請求項4より請求項7のいずれかに記載の半導体記憶装置。

9. 前記メモリセルが有する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の最大不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項4に記載の半導体記憶装置。

15 10. 前記メモリセルが有する不純物を含む複数の半導体層のうち、前記半導体基体内部に存在する層の、最大不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることを特徴とする請求項4に記載の半導体記憶装置。

20 11. 前記メモリセルが有するPN接合の位置が、前記メモリセルを形成する不純物を含む複数の半導体層のうち、前記半導体基体表面に接して存在する層の、不純物濃度が最大になる位置よりも深い場所にあることを特徴とする請求項4に記載の半導体記憶装置。

25 12. 前記メモリセルが有する不純物を含む複数の半導体層は、間にN型層を挟んだ2つのP型層からなる、あるいは間にP型層を挟んだ

2つのN型層からなることを特徴とする請求項1に記載の半導体記憶装置。

13. 前記メモリセルが有する不純物を含む3つの半導体層のうち、前記半導体基体表面より離れて存在する、2つのP型層及びN型層が請求項5に記載の条件を満たしていることを特徴とする半導体記憶装置。

14. 前記メモリセルの有する前記導電体層は、前記周辺回路における絶縁ゲート型電界効果型トランジスタのゲート電極につながる導電体層であることを特徴とする請求項3に記載の半導体記憶装置。

15. 前記メモリセルの有する前記導電体層は、N型あるいはP型の多結晶シリコンを含む積層膜からなることを特徴とする請求項3に記載の半導体記憶装置。

16. 前記メモリセルの有する前記絶縁体層は、前記周辺回路においては絶縁ゲート型電界効果型トランジスタの絶縁膜につながる絶縁体層であることを特徴とする請求項3に記載の半導体記憶装置。

17. 前記メモリセルの有する絶縁体層は、バンドギャップの異なる絶縁膜の積層膜であることを特徴とする請求項1に記載の半導体記憶装置。

18. 前記メモリセルが有する絶縁体層は、シリコン酸化膜とシリコン窒化膜の積層膜からなり、かつ前記シリコン酸化膜はシリコン基板に形成されたP型半導体層に接して存在することを特徴とする請求項17に記載の半導体記憶装置。

19. 前記メモリセルの有する前記不純物を含む複数の半導体層の内、少なくとも1つは半導体基体内において、前記ワード線と垂直方向に延在して存在することを特徴とする請求項1に記載の半導体記憶装置。

20. 前記メモリセルの有する前記不純物を含む複数の半導体層の内、

前記メモリセルを形成する絶縁体層に接する層は、メモリセル毎に分離されて存在することを特徴とする請求項 1 に記載の半導体記憶装置。

2 1. 前記メモリセルが有する不純物を含む複数の半導体層の内、最下に形成された層に対して、導電プラグが電氣的に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

2 2. 前記メモリセルが有する不純物を含む複数の半導体層の内、最下に形成された層が、平面配置において、前記ワード線と垂直方向に走る、導電体層と電氣的に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

10 2 3. 前記メモリセルの有する前記不純物を含む複数の半導体層の内、前記ワード線と平面配置において垂直方向に延在して存在する層は、前記半導体基体に形成された絶縁ゲート型電界効果トランジスタの拡散層の 1 つと電氣的に接続されており、前記絶縁ゲート型電界効果トランジスタの他方の拡散層に対しては、前記ワード線と平面配置において垂直方向に走る、導電体層と電氣的に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

20 2 4. 複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線との所望の交点にもうけられ、それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、複数のメモリアレイを含み、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、且つ前記積層膜を介してキャリアの移動を可能とする絶縁体層に電位の印加可能なことを特徴とする

半導体記憶装置。

25. 複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線との所望の交点にもうけられ、それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、複数のメモリアレイを含み、前記メモリセルが導電体層と絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記メモリセルの有する前記積層膜が抵抗値のバイステابل特性を有することを特徴とする半導体記憶装置。

26. 複数のワード線と、平面配置において、上記複数のワード線に交差するごとく配置された複数のデータ線と、上記複数のワード線と上記複数のデータ線との所望の交点にもうけられ、それぞれが対応するワード線と対応するデータ線に接続される、複数のメモリセルと、上記複数のデータ線に共通に設けられた共通データ線と、上記複数のデータ線に上記共通データ線をそれぞれ接続させるためのスイッチング機能を有する複数の信号伝達手段とをそれぞれ備える、複数のメモリアレイを含み、前記メモリセルが導電体層とトンネル効果を可能とする絶縁体層と不純物を含む複数の半導体層との積層膜を有し、前記不純物を含む複数の半導体層が前記半導体基体内に存在することを特徴とする半導体記憶装置。

27. シリコンオンインシュレータ基板上に、少なくとも前記メモリセルが形成されたことを特徴とする請求項1に記載の半導体記憶装置。

28. メモリセルアレイ領域において、複数のビット線が1つのセン

スアンプを共用していることを特徴とする請求項 1 に記載の半導体記憶装置。

29. バイステابلダイオードが半導体基板内に含まれる領域を有して構成されたことを特徴とする半導体装置。

5 30. 半導体基板内に、少なくともメモリ素子部の一部が形成され、且つ記憶容量が256メガ・ビット以上であることを特徴とする半導体記憶装置。

31. 半導体基体に、素子を電気的に分離するための素子分離領域を形成する工程、メモリセルアレー領域において、高エネルギーイオン
10 打ち込みにより、基板内部に不純物拡散層を形成した後に、基板表面に絶縁膜を形成する工程、メモリセルアレー領域においてはワード電極を、周辺回路領域においては絶縁ゲート型電界効果型トランジスタのゲート電極を形成する工程、メモリセルアレー領域において、ワード電極を覆う領域を少なくともマスクの対応領域としてシリコン基板
15 をエッチングすることにより、メモリアレーをセル毎に分離する工程、層間絶縁膜を堆積した後、コンタクトホールを開口し、前記コンタクト内部へ導電体を埋込む工程、メモリセルアレー領域においてはビット線を、周辺回路領域においてはローカル配線層を形成する工程を、有することを特徴とする半導体記憶装置の製造方法。

THIS PAGE BLANK (USPTO)

図 1

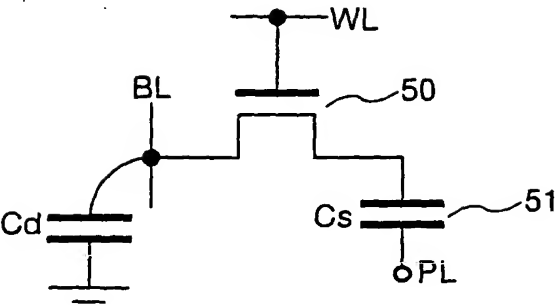
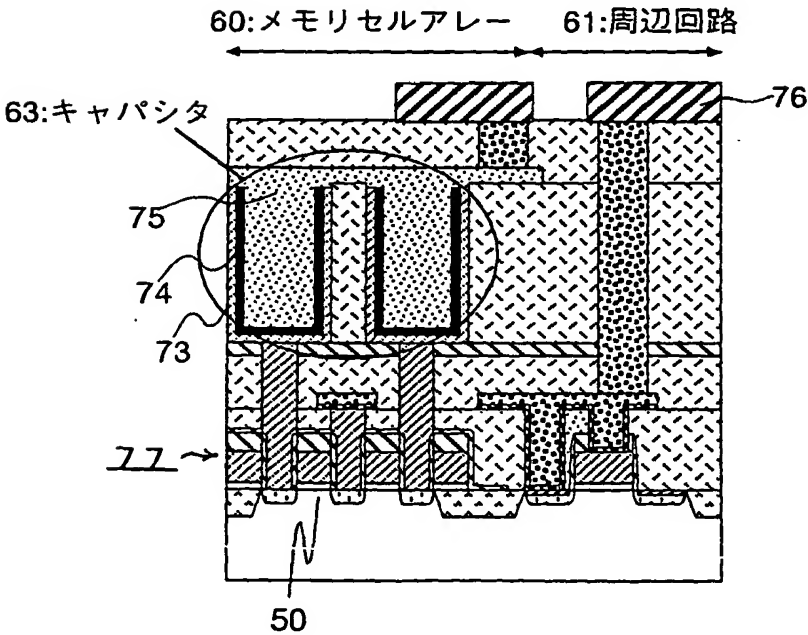


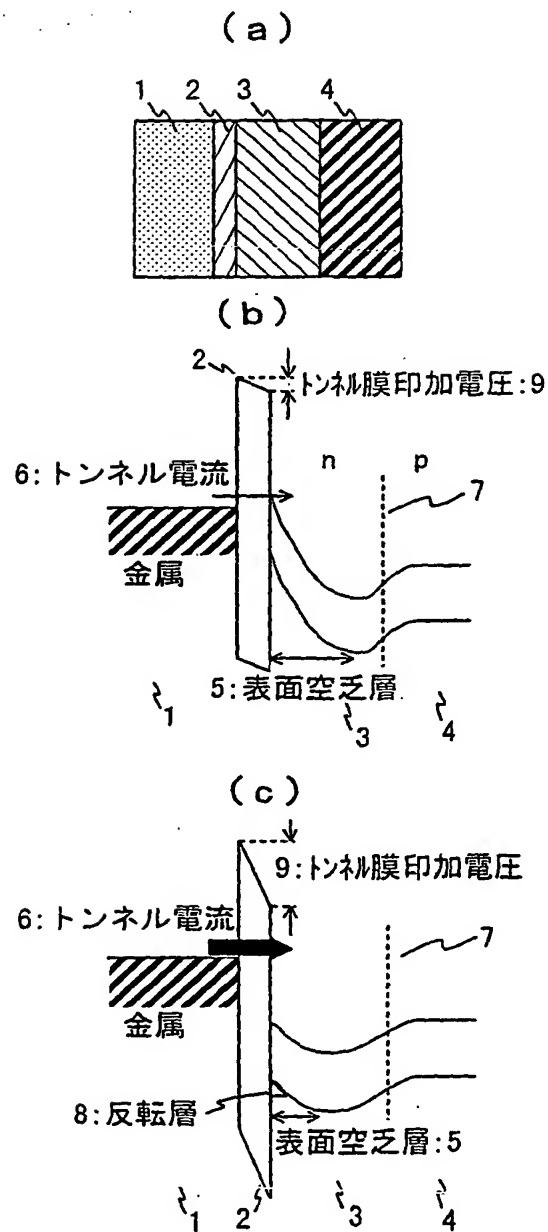
図 2



THIS PAGE BLANK (USPTO)

2 / 26

図 3



THIS PAGE BLANK (USPTO)

3 / 2 6

図 4

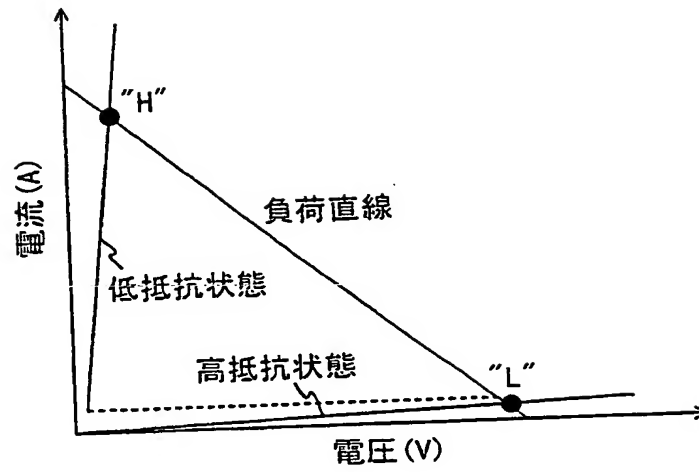
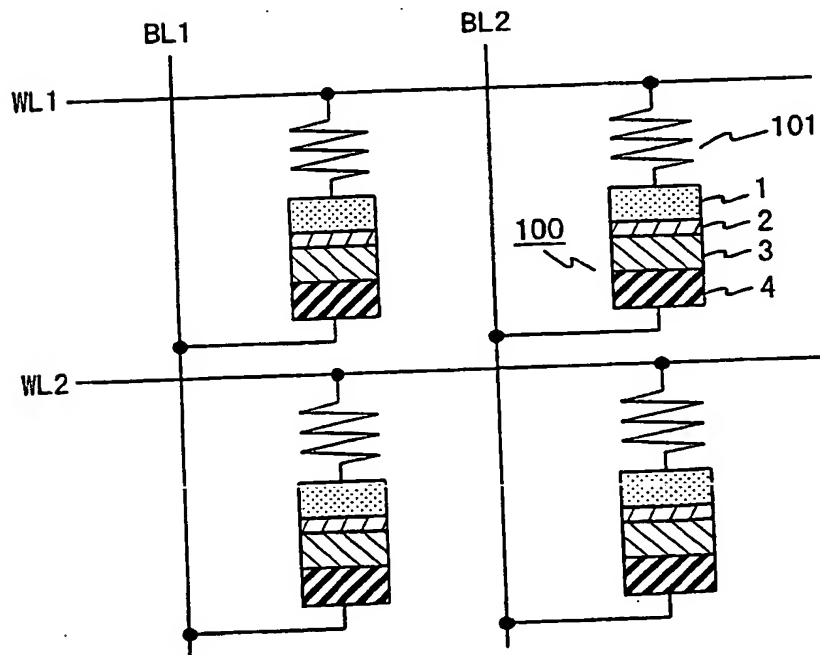


図 5



THIS PAGE BLANK (USPTO)

4 / 2 6

図 6

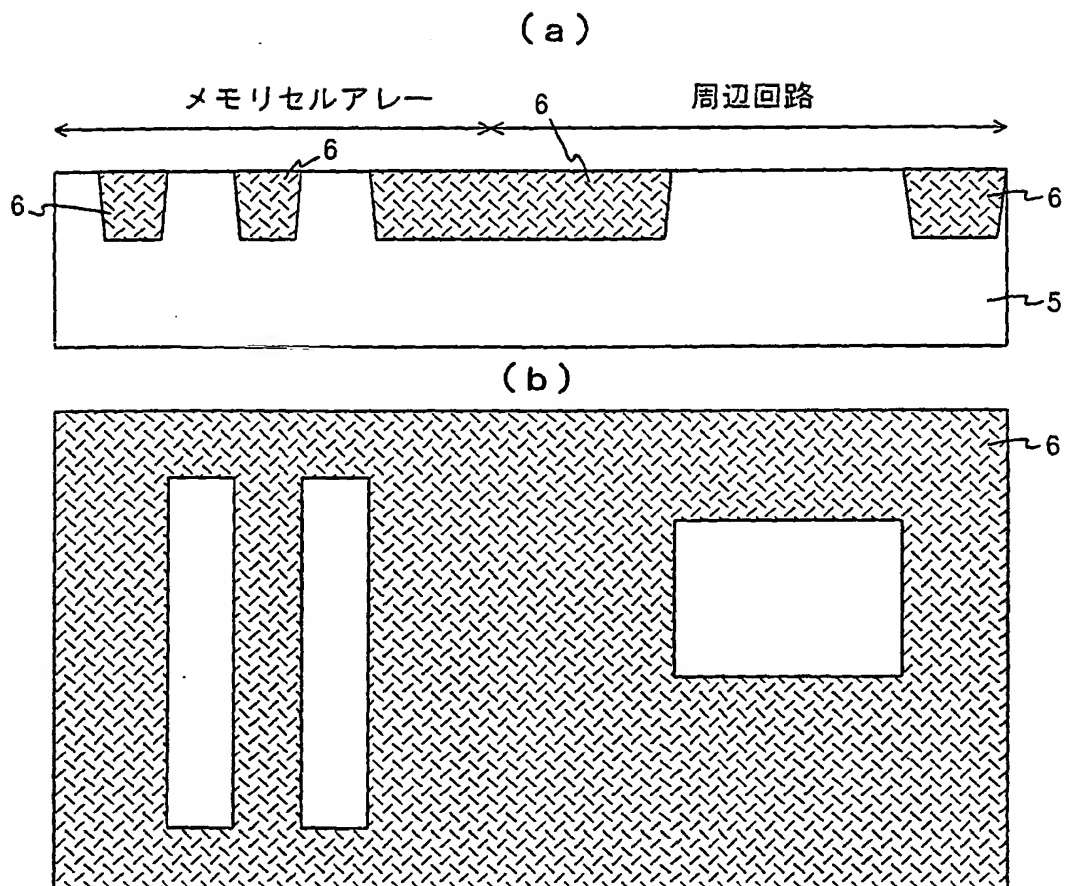
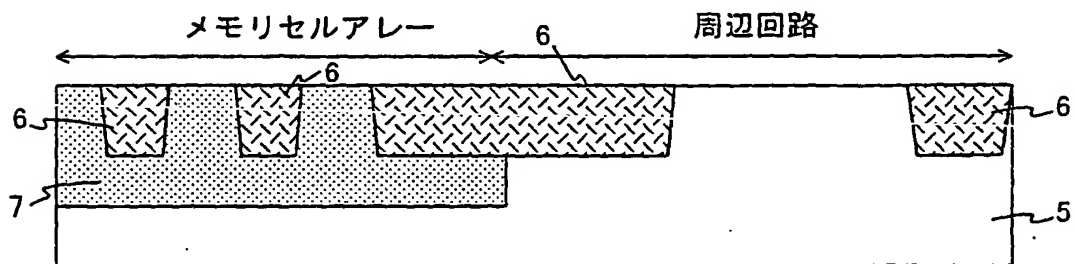


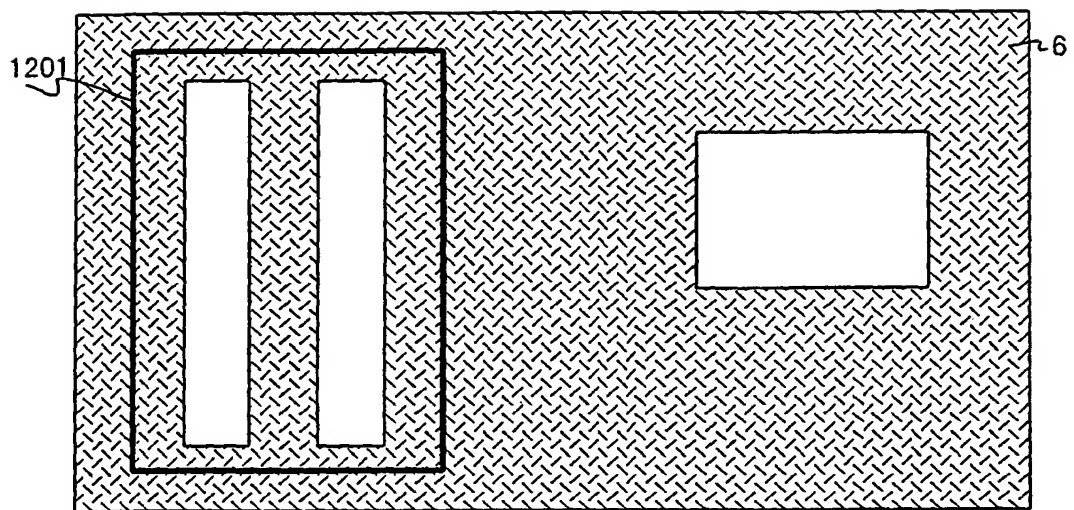
図 7



THIS PAGE BLANK (USPTO)

5 / 26

8



THIS PAGE BLANK (USPTO)

6 / 26

図 9

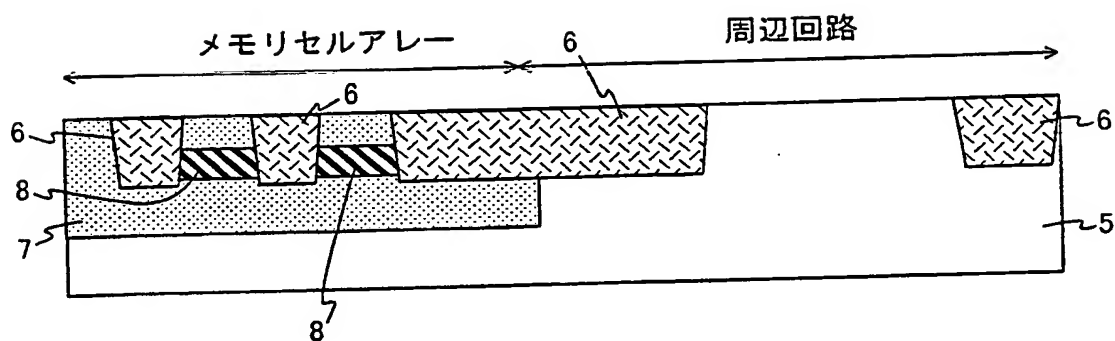
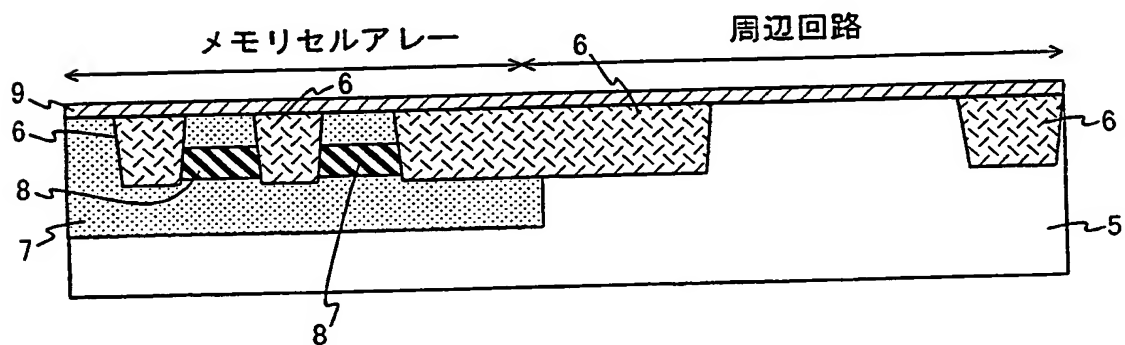


図 10



THIS PAGE BLANK (USPTO)

7 / 26

図 11

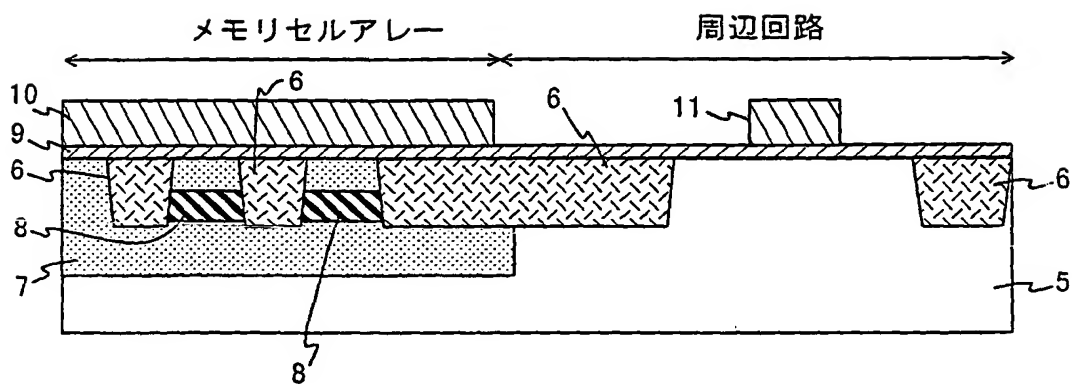
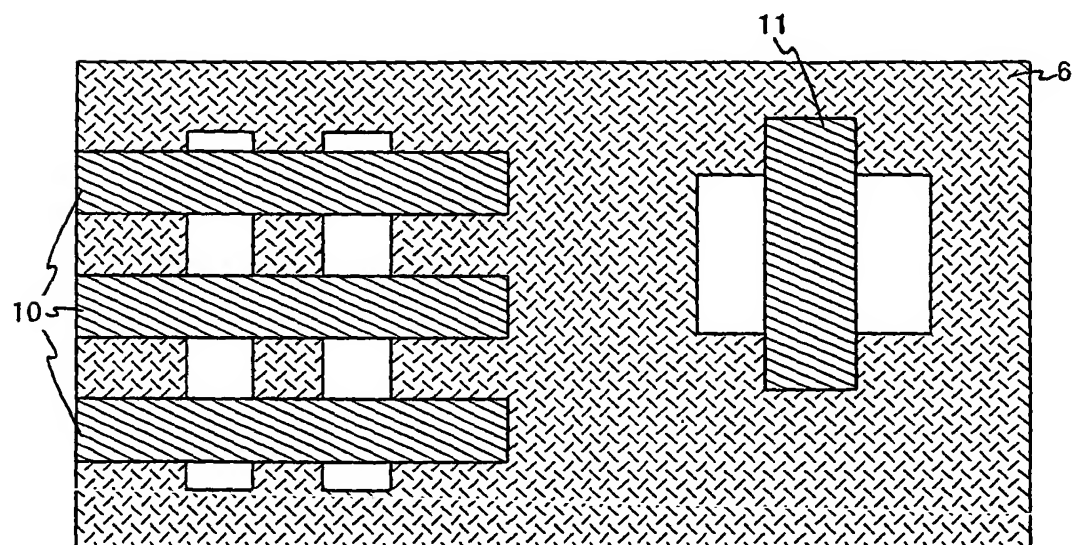


図 12



THIS PAGE BLANK (USPTO)

8 / 26

図 13

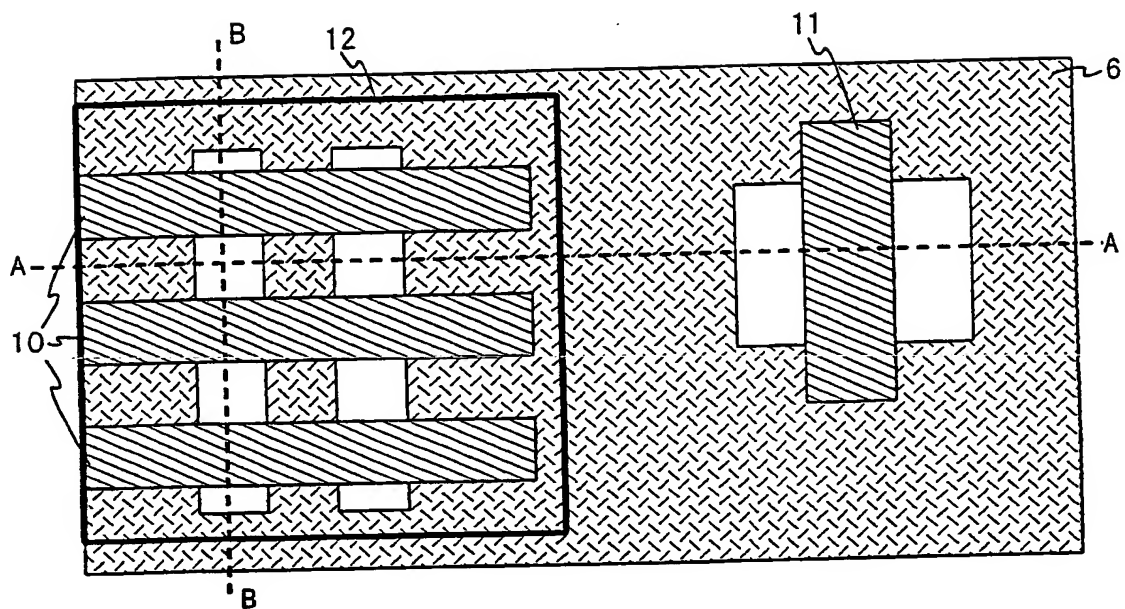
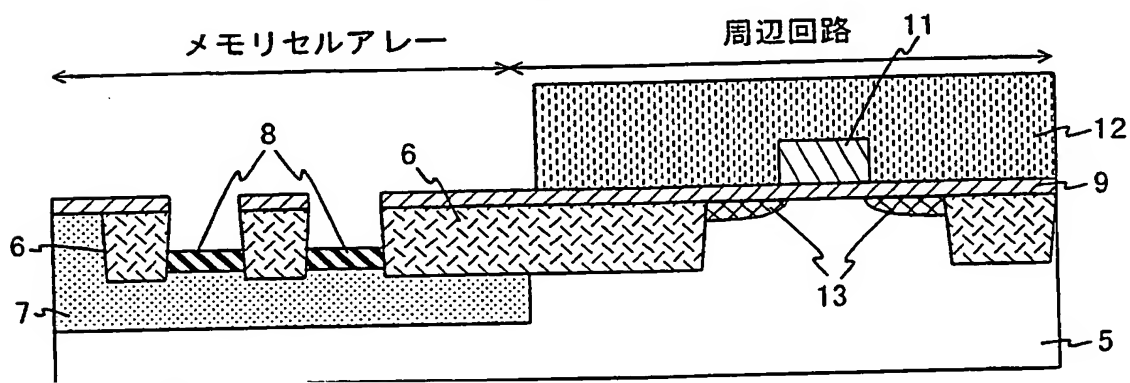
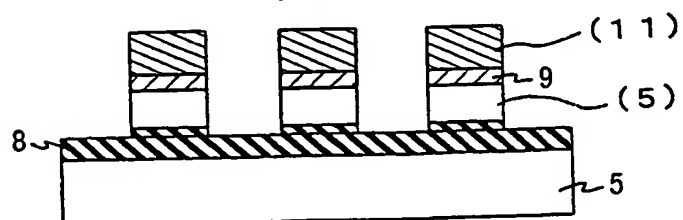


図 14

(a)



(b)



THIS PAGE BLANK (USPTO)

9 / 26

図 15

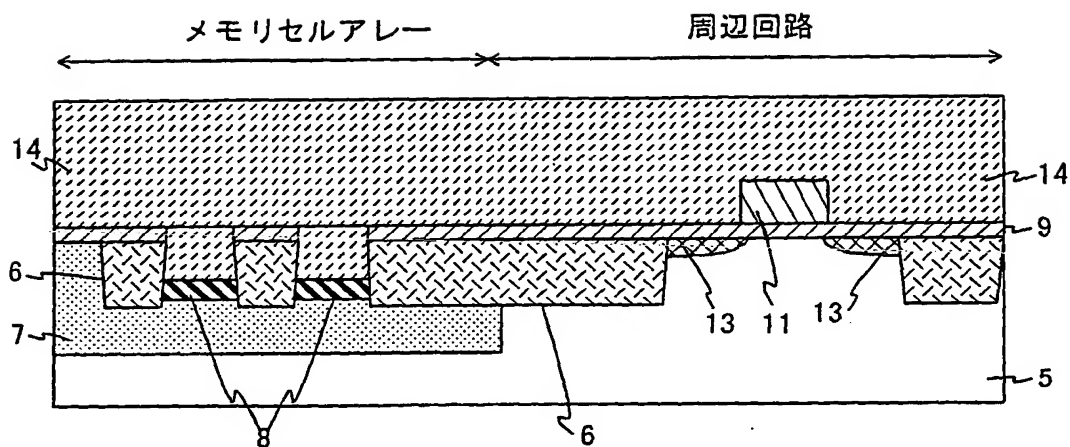
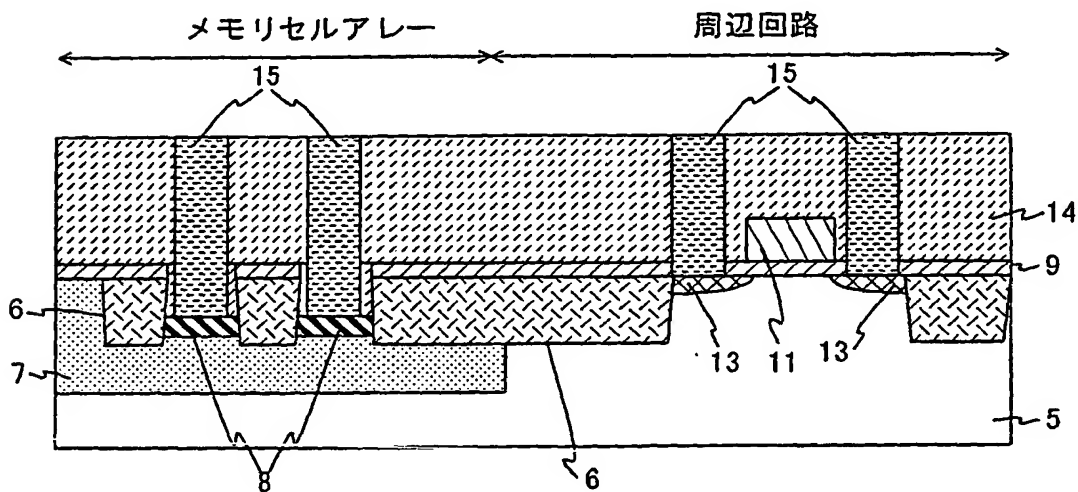


図 16



THIS PAGE BLANK (USPTO)

10/26

図 17

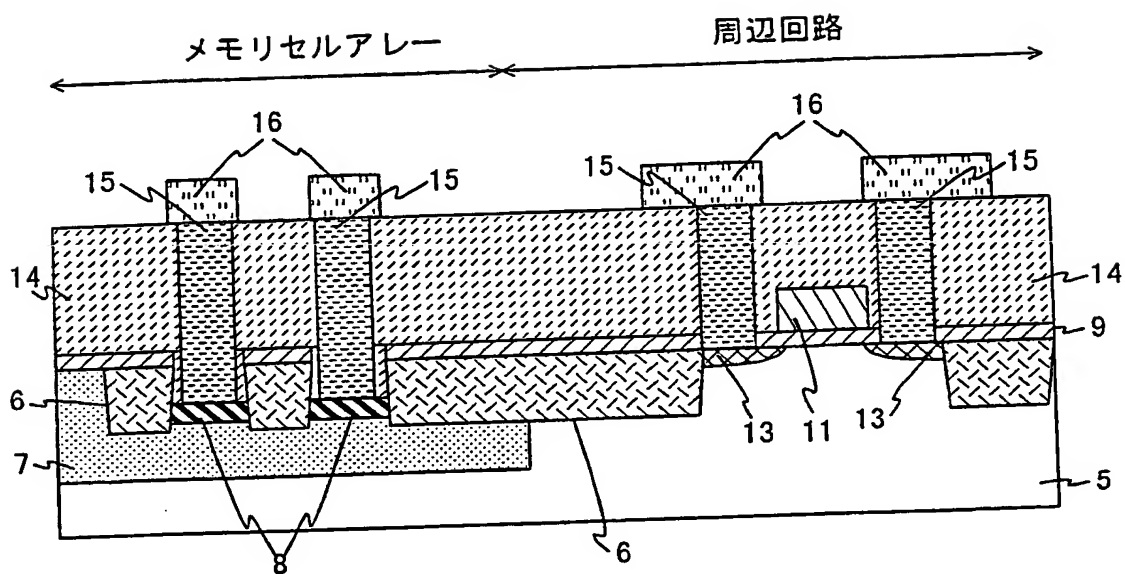
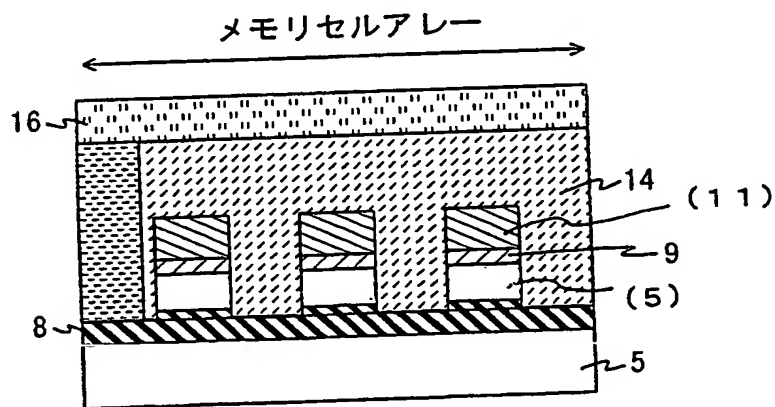


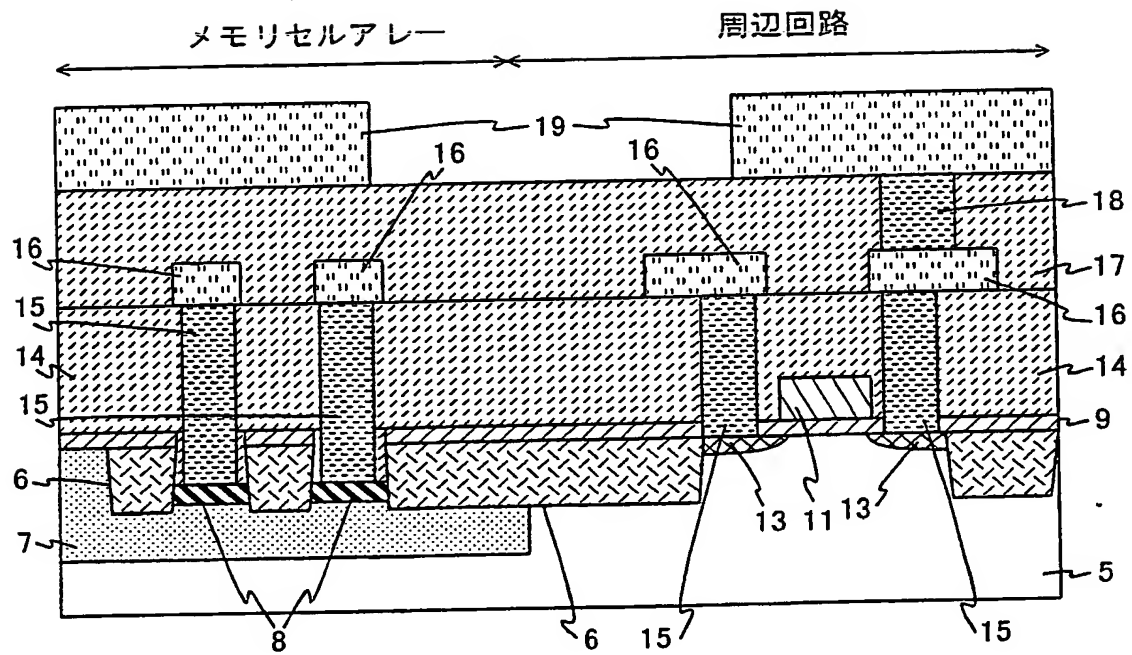
図 18



THIS PAGE BLANK (USPTO)

11/26

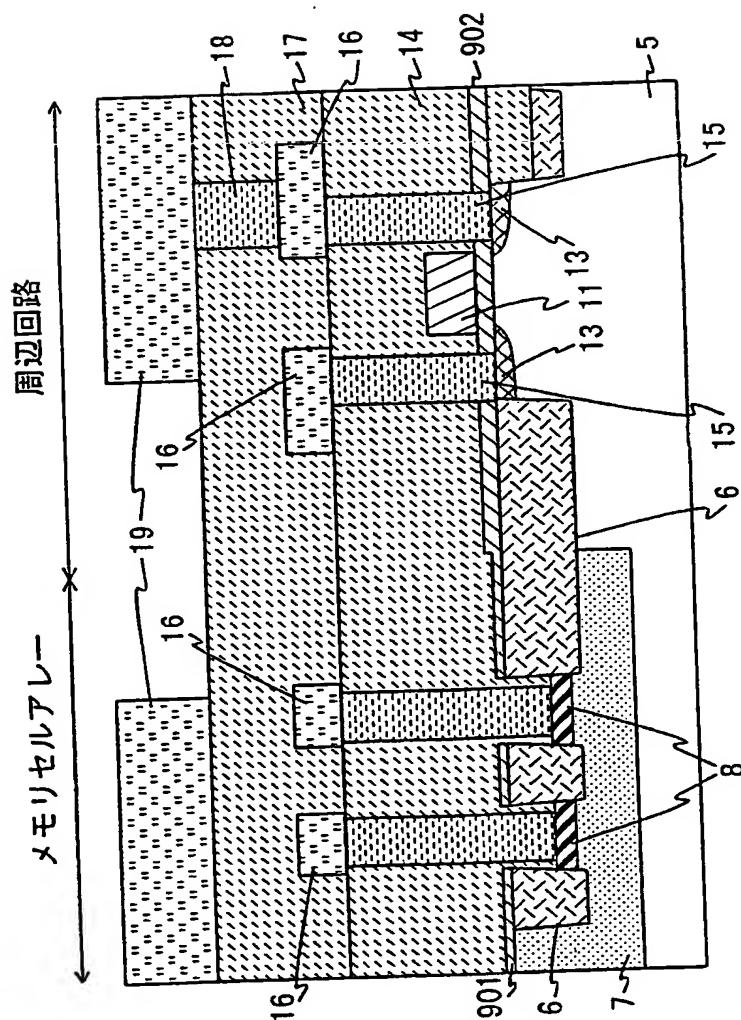
図 19



THIS PAGE BLANK (USPTO)

1 2 / 2 6

図 20



THIS PAGE BLANK (USPTO)

1 3 / 2 6

図 2 1

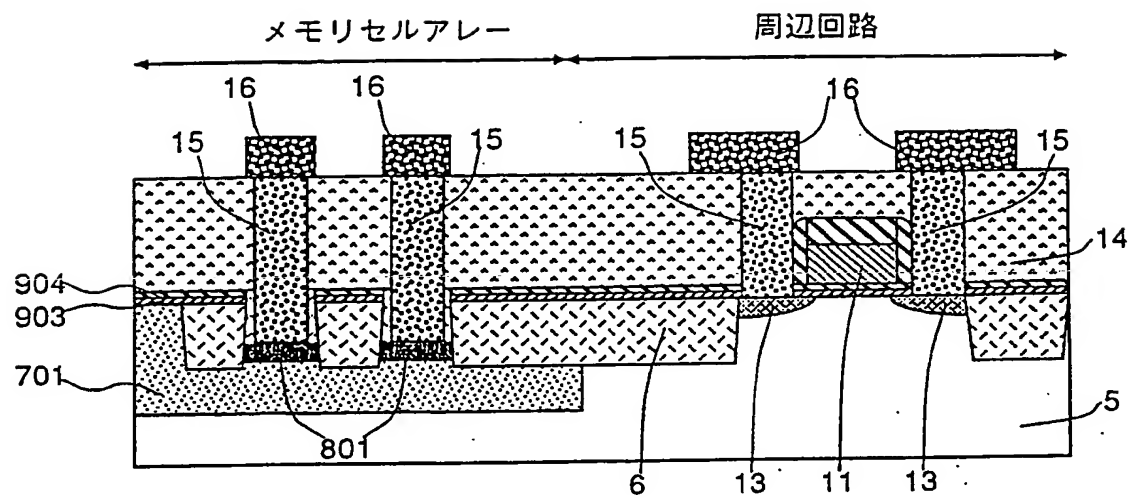
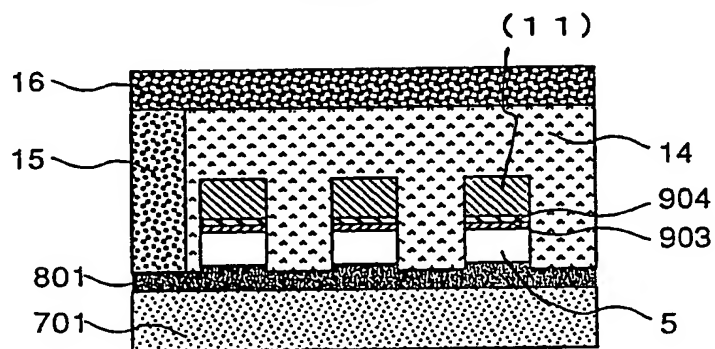


図 2 2



THIS PAGE BLANK (USPTO)

14 / 26

図 23

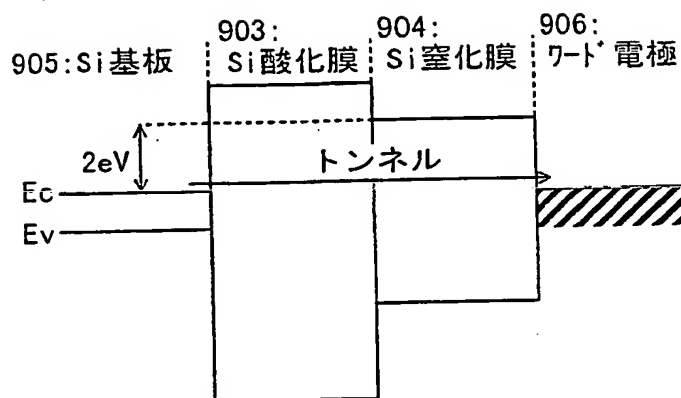
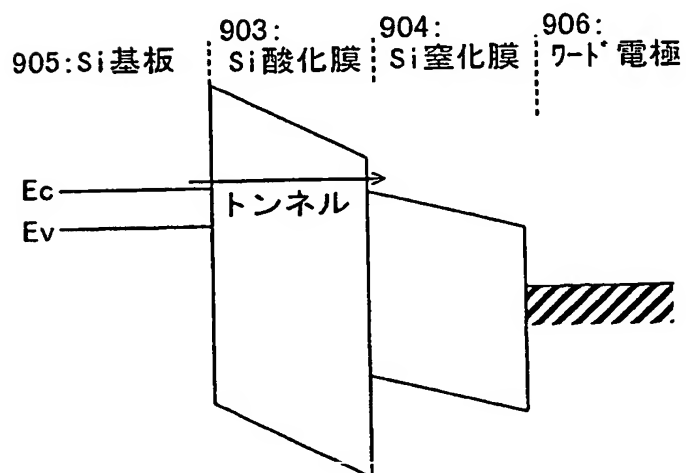


図 24



THIS PAGE BLANK (USPTO)

1 5 / 2 6

圖 25

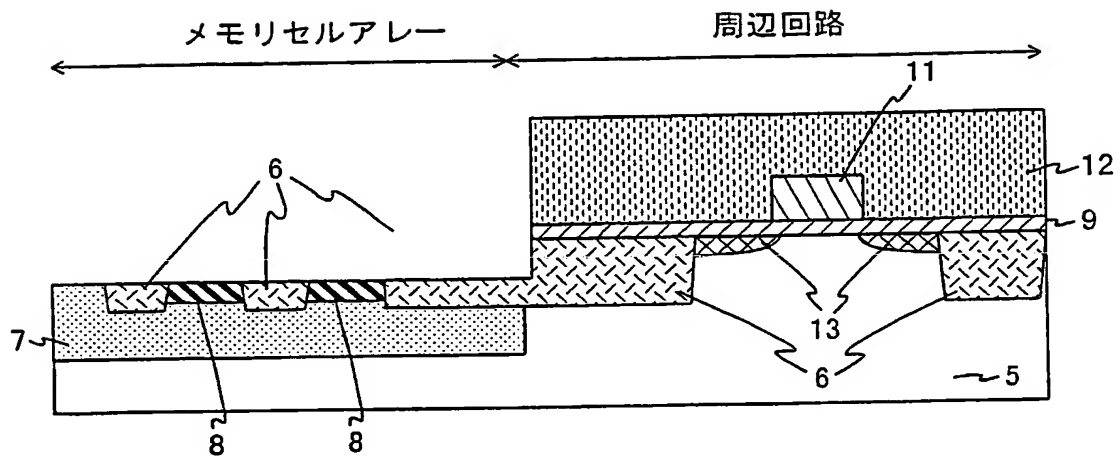
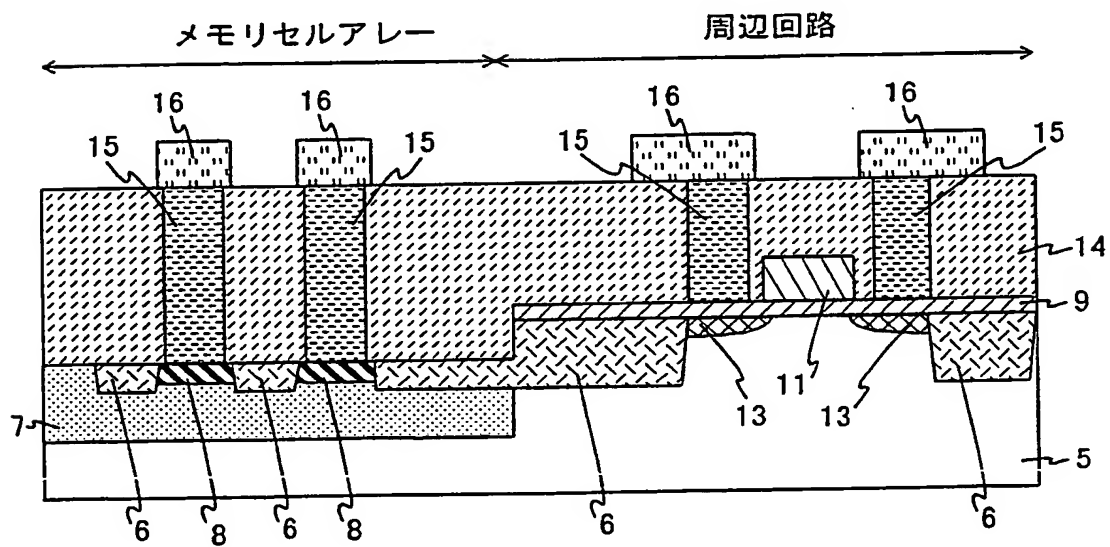


图 26



THIS PAGE BLANK (USPTO)

16/26

図 27

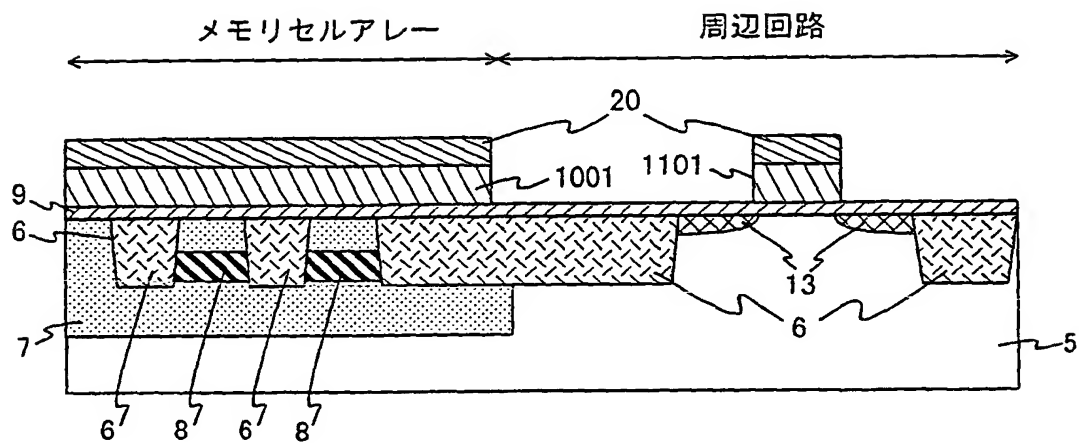
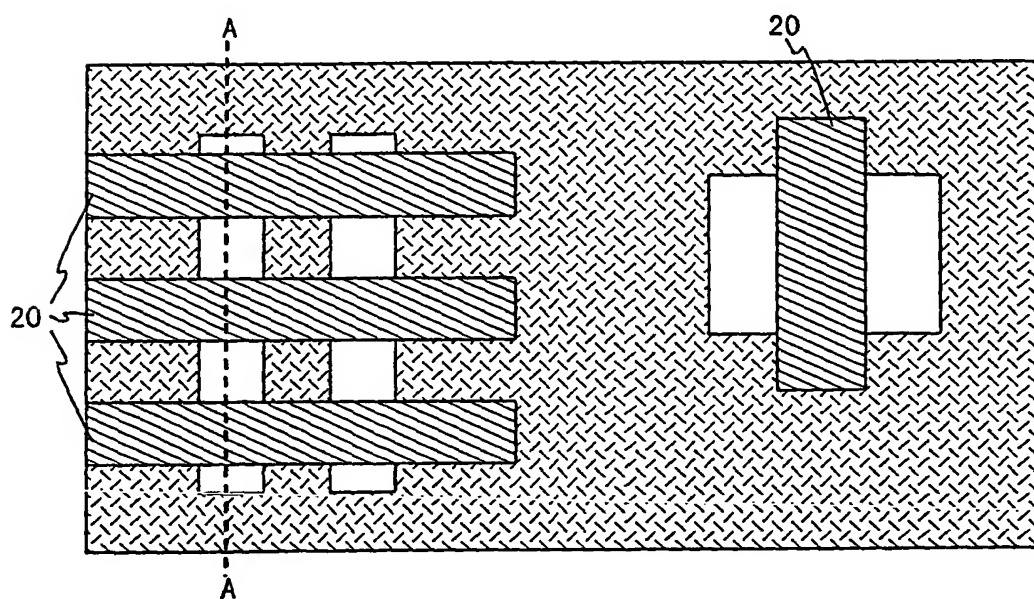


図 28



THIS PAGE BLANK (USPTO)

17/26

図 29

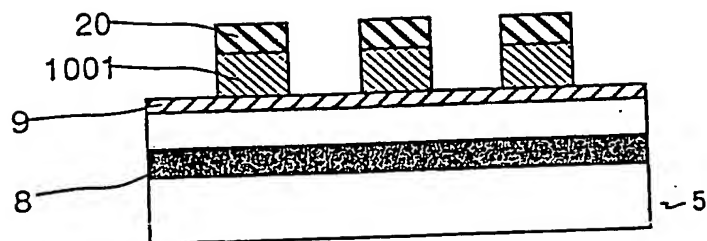


図 30

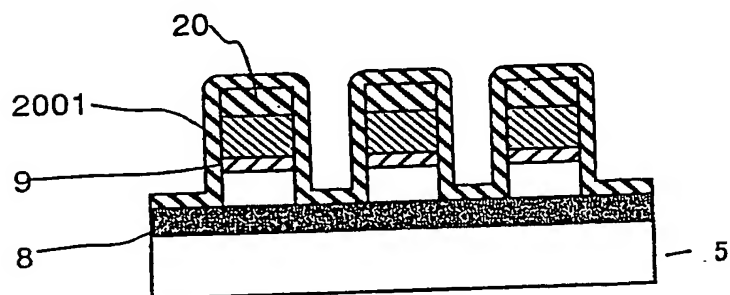
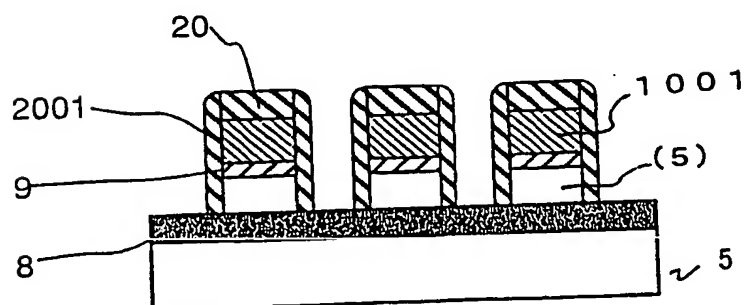


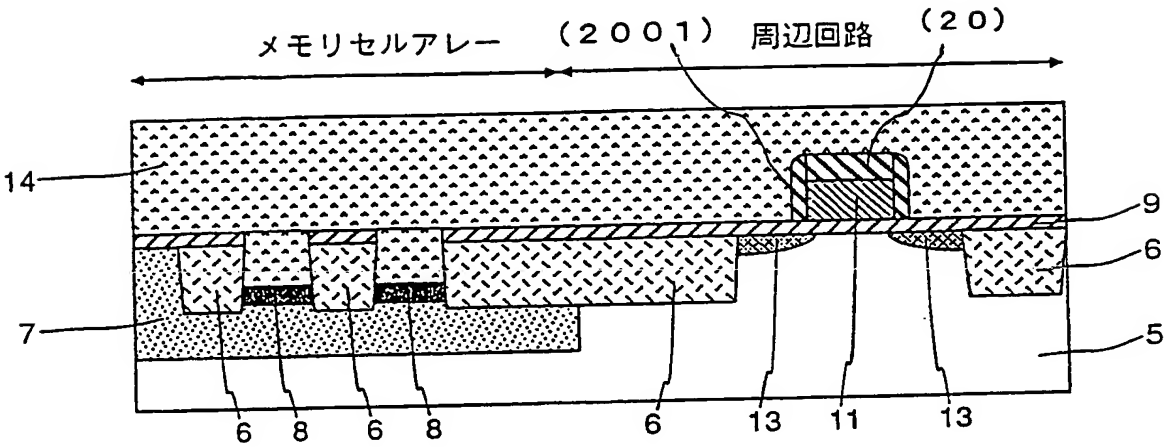
図 31



THIS PAGE BLANK (USPTO)

18/26

図 32



THIS PAGE BLANK (USPTO)

19/26

図 3 3

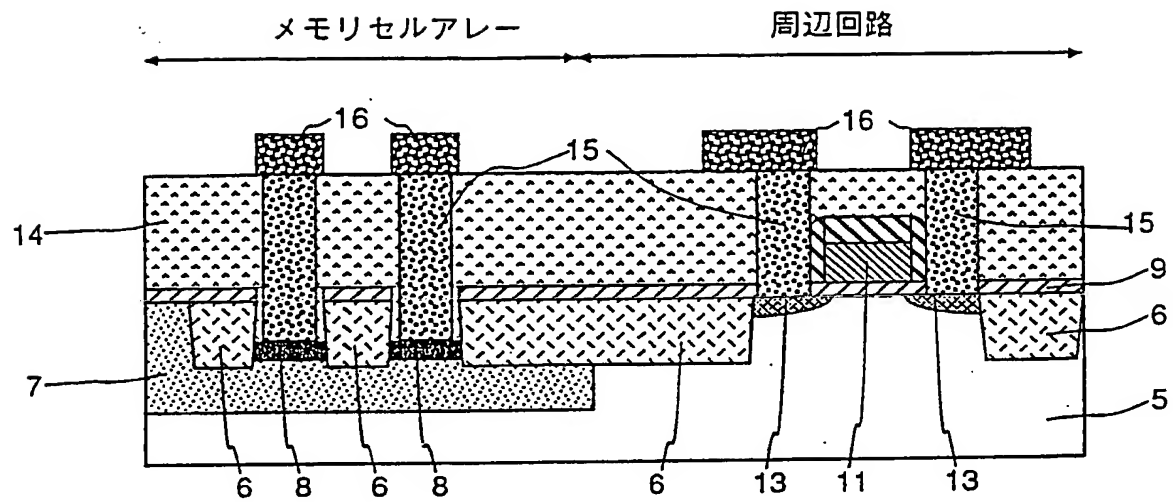
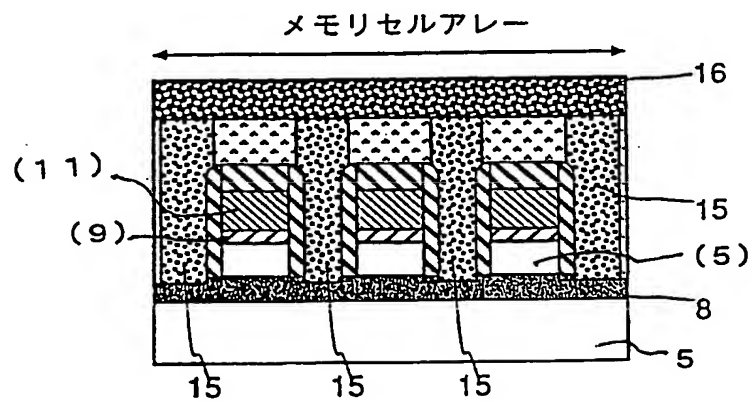


図 3 4



THIS PAGE BLANK (USPTO)

20 / 26

图 35

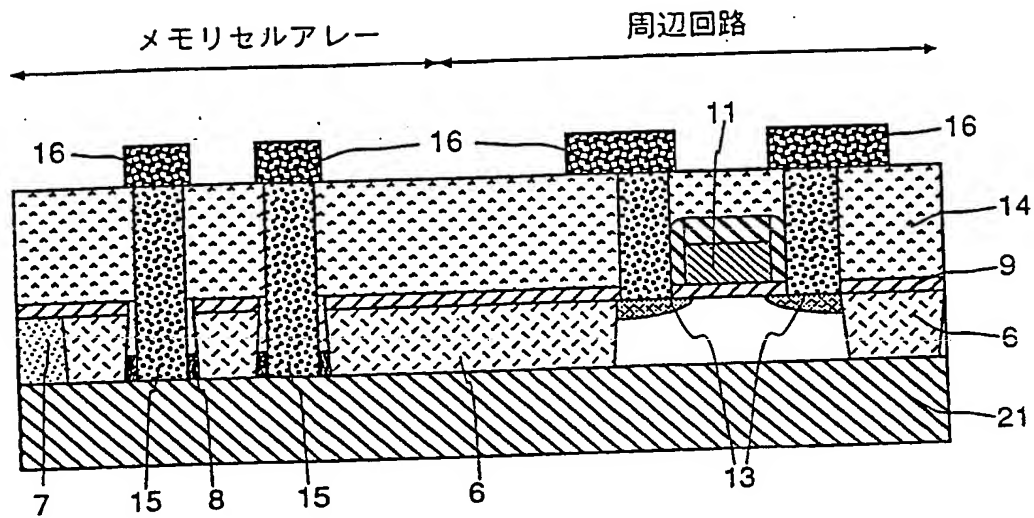
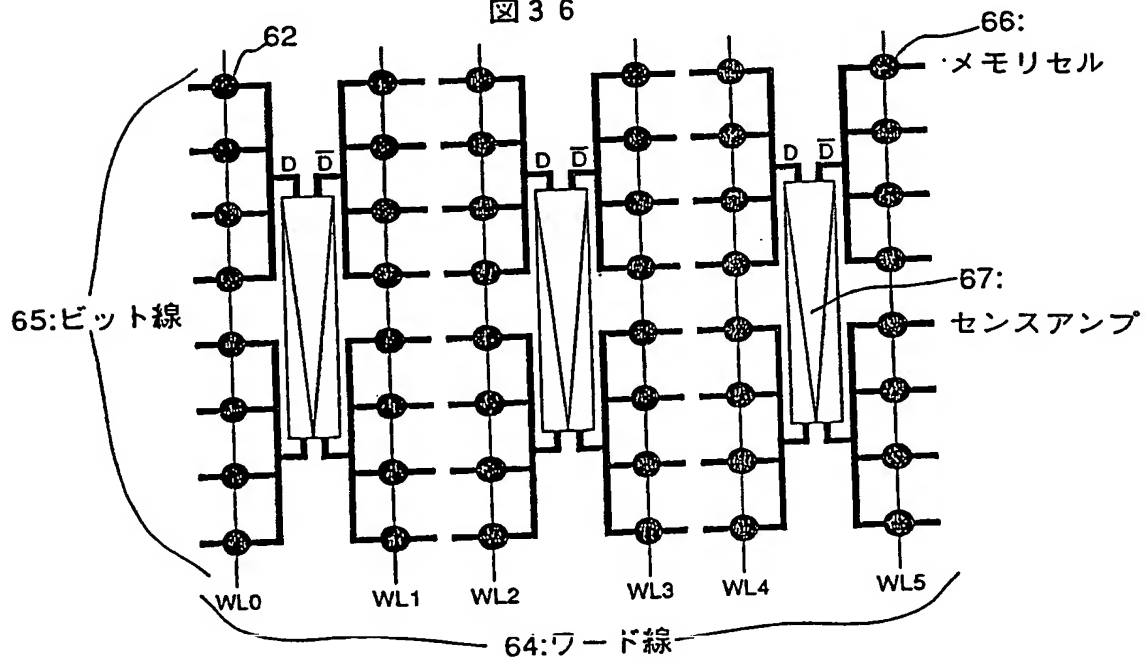


图 3 6



THIS PAGE BLANK (USPTO)

21 / 26

図37

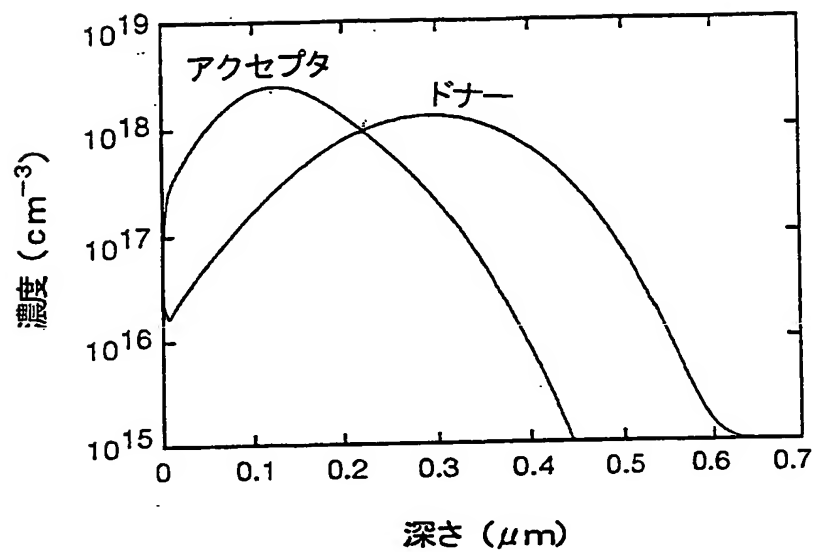
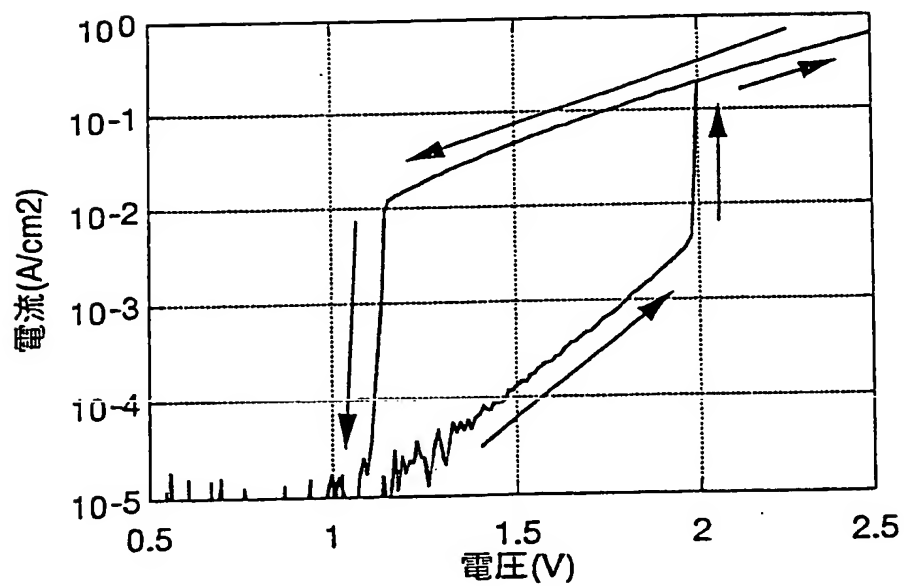


図38



THIS PAGE BLANK (USPTO)

22 / 26

図39

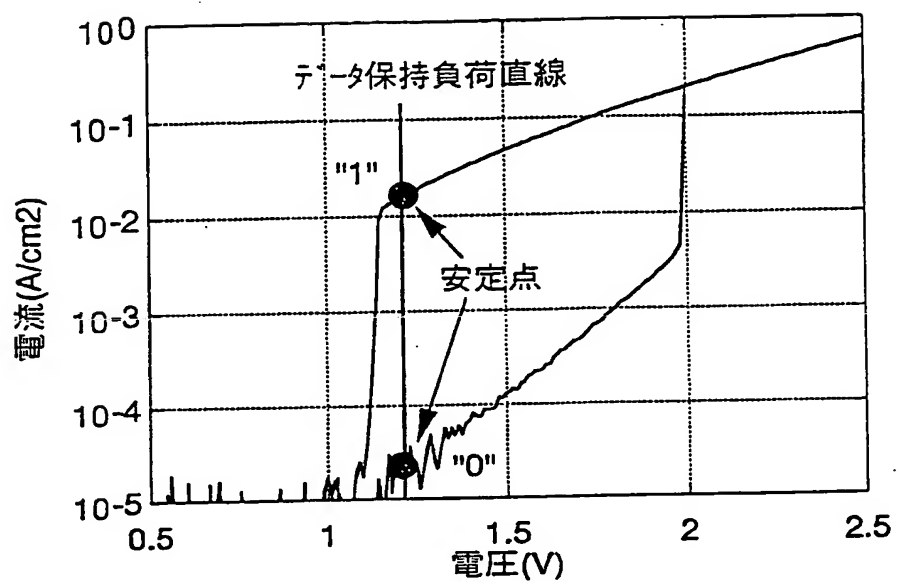
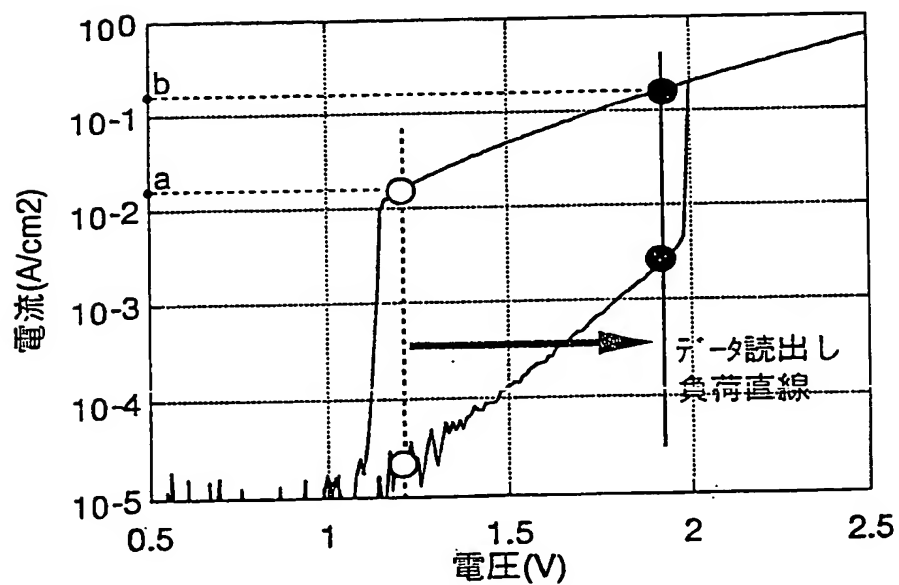


図40



THIS PAGE BLANK (USPTO)

23 / 26

図41

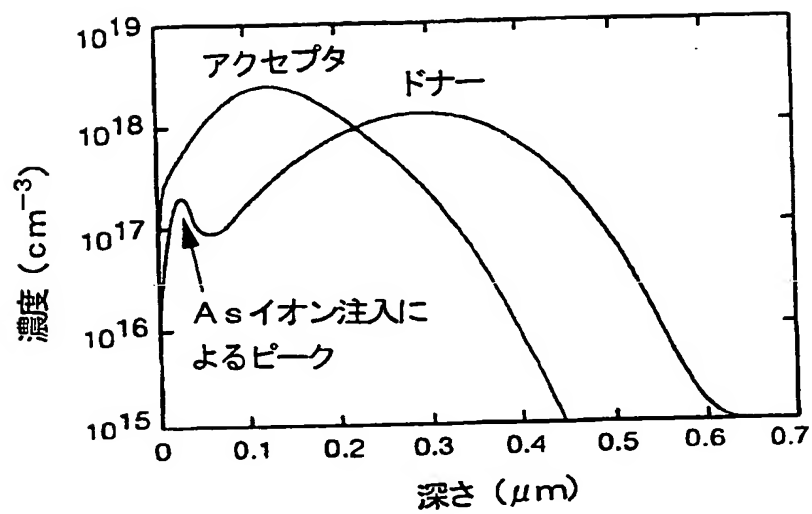
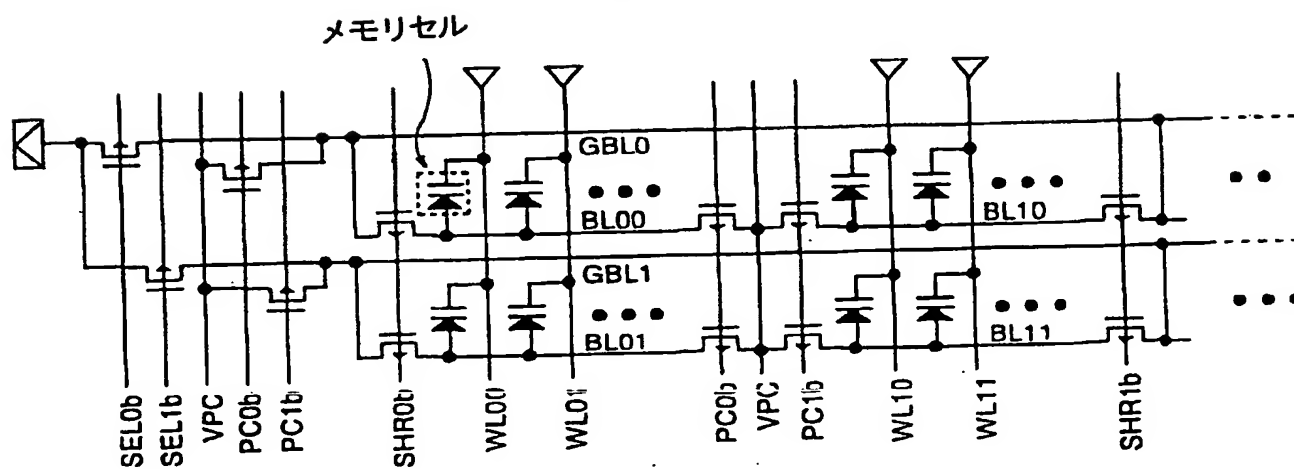


図42



THIS PAGE BLANK (USPTO)

24 / 26

図 43

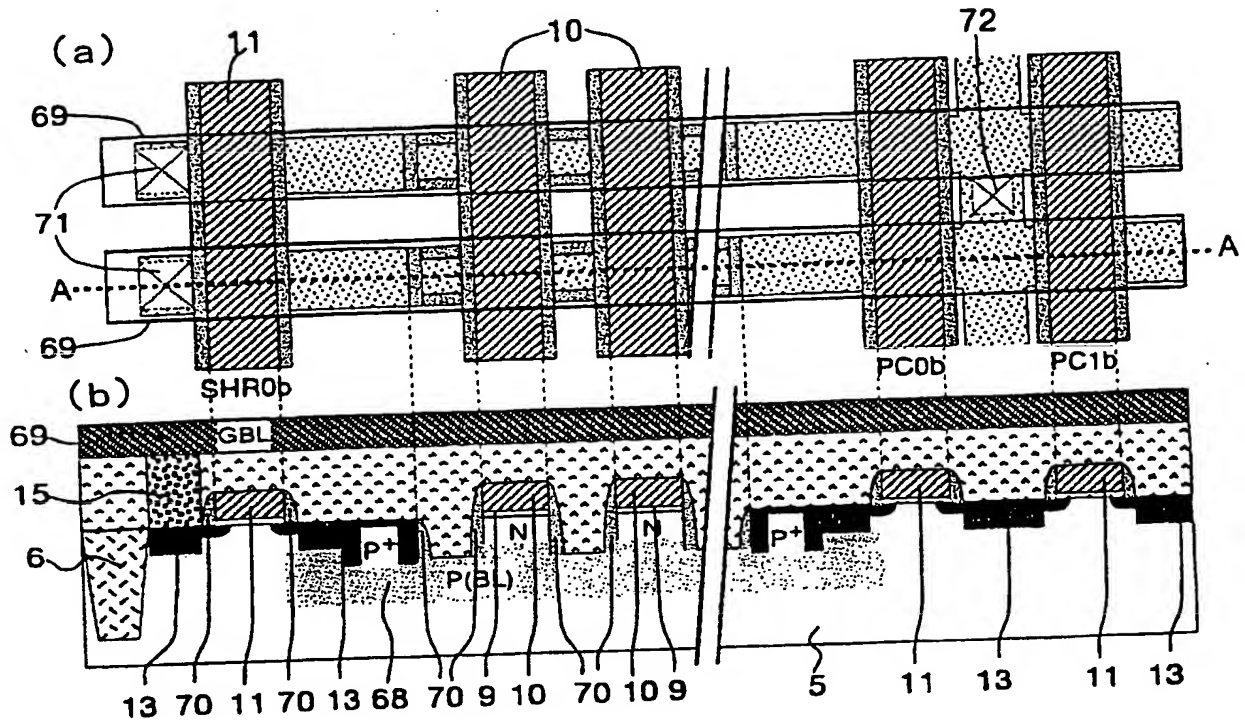
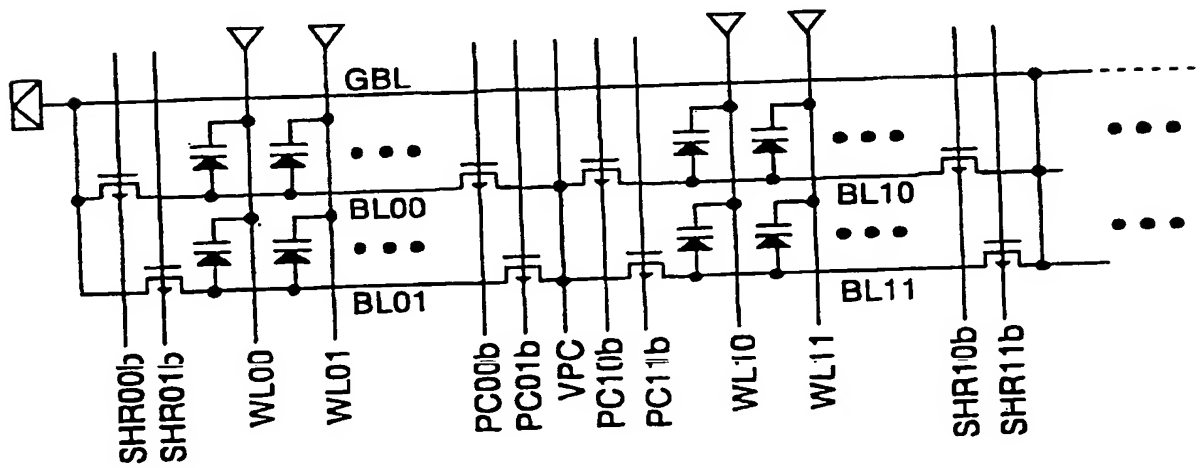


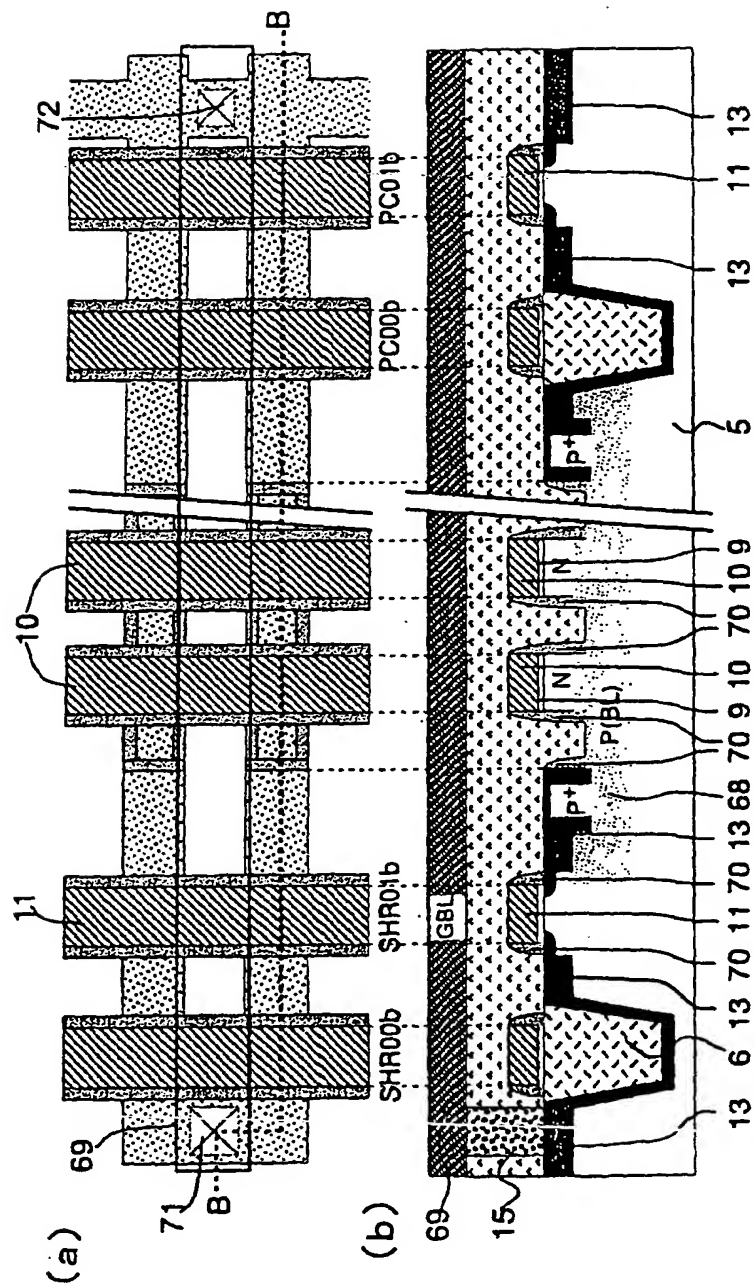
図 44



THIS PAGE BLANK (USPTO)

25 / 26

図45



THIS PAGE BLANK (USPTO)

26 / 26

図46

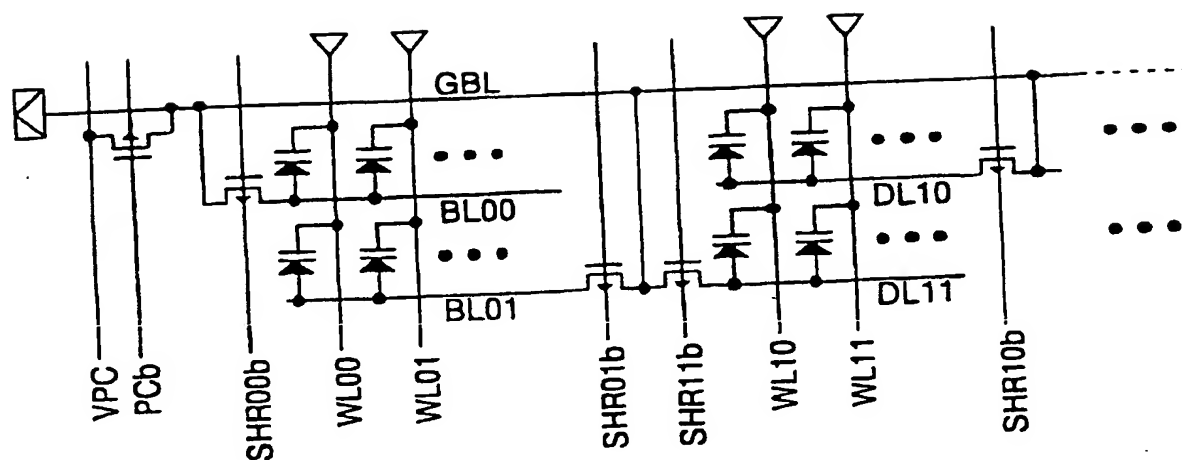
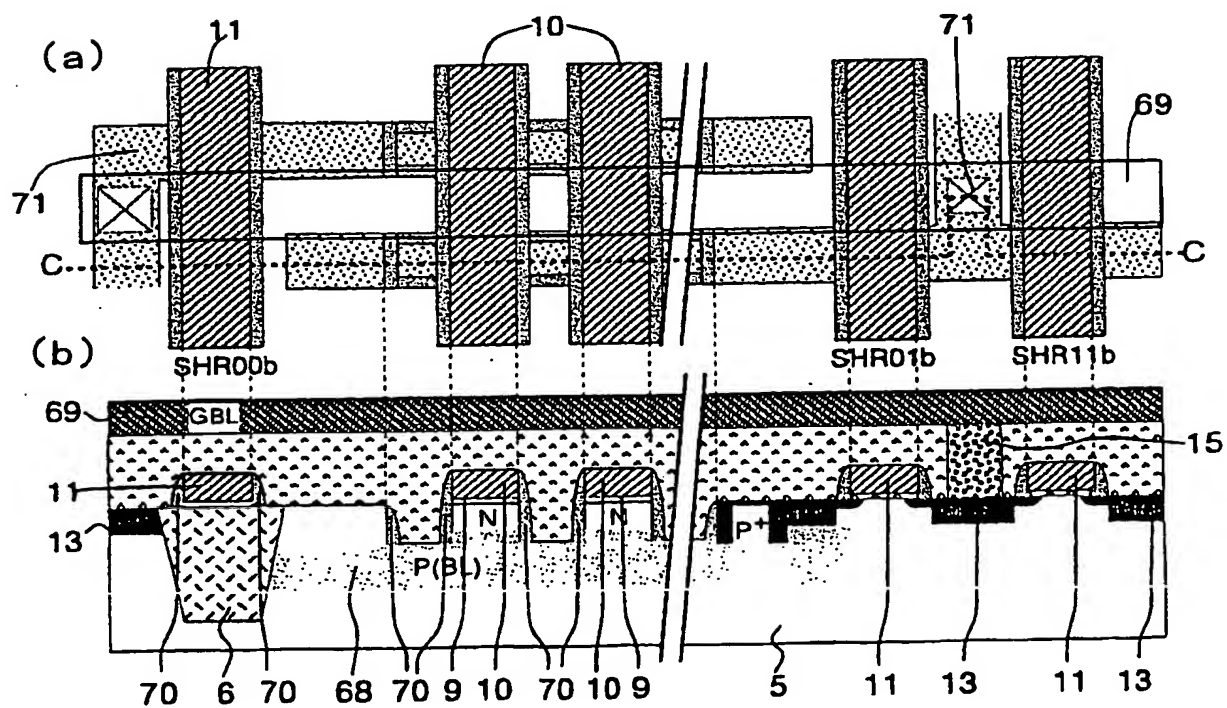


図47



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03723

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-125939, A (Matsushita Electric Ind. Co., Ltd.), 15 May, 1998 (15.05.98), Figs. 1 to 17 (Family: none)	1, 2, 4, 17, 21, 27-30
X	JP, 11-17184, A (Matsushita Electric Ind. Co., Ltd.), 22 January, 1999 (22.01.99), Figs. 1 to 15 (Family: none)	1, 2, 4, 21, 27-30
A	US, 5483482, A (Kabushiki Kaisha Toshiba), 09 January, 1996 (09.01.96), Figs. 1 to 25 & JP, 4-348068, A & KR, 9616104, B & DE, 4208694, A	1-31
A	US, 5665978, A (Matsushita Electric Industrial Co.), 09 September, 1997 (09.09.97), Figs. 1 to 19 & JP, 9-45941, A & EP, 744777, A	1-31

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2000 (05.09.00)Date of mailing of the international search report
19 September, 2000 (19.09.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2000年
日本国実用新案登録公報	1996-2000年
日本国登録実用新案公報	1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 10-125939, A, (松下電器産業株式会社), 1 5. 5月. 1998, (15. 05. 98), 第1図~第17図 (ファミリーなし)	1, 2, 4, 17, 21, 27-30
X	J P, 11-17184, A, (松下電器産業株式会社), 22. 1月. 1999, (22. 01. 99), 第1図~第15図 (ファミリーなし)	1, 2, 4, 21, 27- 30

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

05. 09. 00

国際調査報告の発送日 19.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 4 8 3 4 8 2, A, (Kabushiki Kaisha Toshiba) , 9. 1月. 1996, (09. 01. 96) , 第1図～第25図 & JP, 4-348068, A & KR, 9616104, B & DE, 4208694, A	1-31
A	US, 5 6 6 5 9 7 8, A, (Matsushita Electric Industrial Co.), 9. 9月. 1997, (09. 09. 97) , 第1図～第19図 & JP, 9-45941, A & EP, 744777, A	1-31